

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-237885

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

G10H 7/02

(21)Application number : 10-333308

(71)Applicant : YAMAHA CORP

(22)Date of filing : 24.11.1998

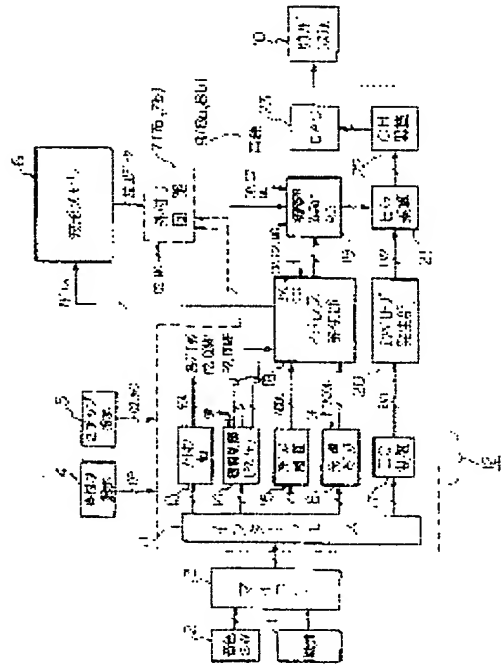
(72)Inventor : ICHIKI TETSUJI

(54) MUSICAL SOUND PRODUCING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a musical sound producing apparatus, with which cost-up in the case of extending a sound source can be suppressed in comparison with conventional one in the apparatus enabled in the extension of the sound source.

SOLUTION: In the musical sound producing apparatus provided with a waveform memory 6 for storing waveform data and a first sound source 8a having an address generating part 18 for generating an address for each of plural time division channels so as to produce musical sounds for plural time division channels, based on (n) pieces of waveform data for each time division channel read out of the waveform memory 6 corresponding to the generated address, the apparatus is provided with a second sound source 8b, which can be added to the configuration of the apparatus and shares the waveform memory 6 together with the first sound source 8a, and a two-step instructing part 5 for generating an instruction signal for changing the number of pieces of waveform data required to be read out for each time division channel into (m) less than (n) when adding the second sound source 8b.



LEGAL STATUS

[Date of request for examination] 14.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3087744

[Date of registration] 14.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-237885

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁶

G 1 0 H 7/02

識別記号

F I

G 1 0 H 7/00

5 2 1 T

5 2 1 K

審査請求 有 請求項の数 1 O L (全 23 頁)

(21) 出願番号 特願平10-333308
(62) 分割の表示 特願平5-325266の分割
(22) 出願日 平成5年(1993)12月22日

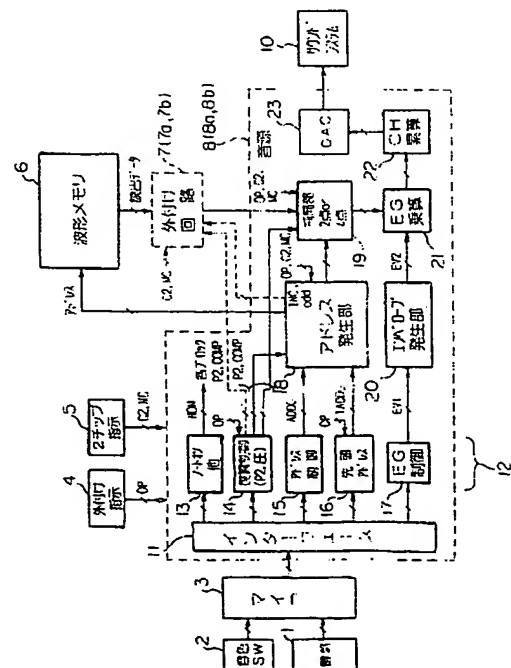
(71) 出願人 000004075
ヤマハ株式会社
静岡県浜松市中沢町10番1号
(72) 発明者 市来 哲二
静岡県浜松市中沢町10番1号 ヤマハ株式
会社内
(74) 代理人 弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 楽音発生装置

(57) 【要約】

【課題】 音源を増設可能とした楽音発生装置において、音源を増設する際のコスト増を従来に比べ抑えることができる楽音発生装置を提供する。

【解決手段】 波形データを記憶する波形メモリ6と、複数時分割チャンネル毎にアドレスを生成するアドレス発生部18を有し、発生したアドレスによって波形メモリ6から読み出された、各時分割チャンネル毎にn個の波形データに基づいて複数時分割チャンネル分の楽音を生成する第1の音源8aとを備える楽音発生装置において、楽音発生装置の構成に追加可能であって、第1の音源8aとともに、波形メモリ6を共用する第2の音源8bと、第2の音源8bが追加される際には各時分割チャンネルにて読み出す必要のある波形データの数をn個より少ないm個に変更するための指示信号を発生する2チップ指示部5とを備えている。



【特許請求の範囲】

【請求項1】 波形データを記憶する波形メモリと、複数時分割チャンネル毎にアドレスを生成し、該アドレスによって前記波形メモリから読み出された、各時分割チャンネル毎に n 個の波形データに基づいて複数時分割チャンネル分の楽音を生成する第1の楽音生成手段とを備える楽音発生装置において、前記楽音発生装置の構成に追加可能であって、前記第1の楽音生成手段とともに、前記波形メモリを共用する第2の楽音生成手段と、前記第2の楽音生成手段が追加される際には各時分割チャンネルにて読み出す必要のある波形データの数を前記 n 個より少ない m 個に変更する読み出し数変更手段とを具備することを特徴とする楽音発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、波形メモリから時分割で読み出した波形データを複数の音源により発音する楽音発生装置に関する。

【0002】

【従来の技術】従来より、楽音発生装置には、波形メモリに波形データを記憶しておき、発音指示があると、上記波形データを所定の間隔で読み出し、該読み出した波形データに従って音源により楽音波形を形成し、楽音として発音するものが知られている。この楽音発生装置において、上記波形データを波形メモリから所定の間隔で読み出すということは、上記第1のサンプリング周波数で標本化され、波形メモリに記憶された波形データを、第2のサンプリング周波数に相当する速さで読み出すことである。したがって、上記波形データから第2のサンプリング周波数で標本化されるべき離散信号を順次推定し、所望する波形データを得る必要がある。上記離散信号の推定は、上記波形メモリから連続する複数の波形データを読み出し、これら波形データを補間することにより求められる。

【0003】

【発明が解決しようとする課題】ところで、上述したような従来の楽音発生装置においては、音源における楽音形成のための構成を時分割で動作させることにより、1つの音源で複数の楽音を発音可能としたものがある。楽音発生装置における発音数の増加は、1つの音源における時分割の周波数の増大や、さらに音源自体の数を増加させることによって行われている。一方、市場におけるユーザの多様なニーズに答えるため、音源を後で追加可能にした楽音発生装置が開発されている。

【0004】このような従来の音源を追加可能にした楽音発生装置においては、音源を追加する際に、発音数の増加に伴う波形データの読み出し周波数の増大を抑えるため、波形メモリから波形データを読み出しおよび波形データを補間して楽音を形成するための構成の追加に加

え、波形メモリ自体も追加する仕様となっていた。そのため、音源を追加する際には、既存のものと同一の波形データを記録した波形メモリを追加することになり、それに伴うコストアップは音源の追加に要するコストアップ全体に対して大きな比率を占めていた。

【0005】この発明は上述した事情に鑑みてなされたもので、音源を増設可能とした楽音発生装置において、音源を増設する際のコスト増を従来に比べ抑えることができる楽音発生装置を提供することを目的としている。

10 【0006】

【課題を解決するための手段】上述した問題点を解決するために、請求項1記載の発明では、波形データを記憶する波形メモリと、複数時分割チャンネル毎にアドレスを生成し、該アドレスによって前記波形メモリから読み出された、各時分割チャンネル毎に n 個の波形データに基づいて複数時分割チャンネル分の楽音を生成する第1の楽音生成手段とを備える楽音発生装置において、前記楽音発生装置の構成に追加可能であって、前記第1の楽音生成手段とともに、前記波形メモリを共用する第2の楽音生成手段と、前記第2の楽音生成手段が追加される際には各時分割チャンネルにて読み出す必要のある波形データの数を前記 n 個より少ない m 個に変更する読み出し数変更手段とを具備することを特徴とする。

20

【0007】この発明によれば、波形メモリを共用する第2の楽音生成手段が追加されると、読み出し数変更手段によって、各時分割チャンネルにて読み出す必要のある波形データの数を n 個より少ない m 個に変更する。

【0008】

【発明の実施の形態】次に図面を参照してこの発明の実施例について説明する。

30

【0009】(1)全体構成

図1はこの発明の一実施例の構成を示すブロック図である。図において、1は鍵盤であり、白鍵および黒鍵からなり、各鍵の押離鍵を検出し、その状態を制御部3へ供給する。また、2は音色スイッチであり、楽音発生装置の操作パネル上へ設けられ、発音すべき楽音の音色が設定され、該設定された音色の情報は上記制御部3へ供給される。制御部3は、所定のプログラムにより楽音発生装置の各部を制御するものであって、例えば、マイクロコンピュータ等により構成される。

40

【0010】次に、外付け指示部4は、後述する外付け回路7が装着されると、外付け指示信号OPを音源に出力する。上記外付け指示信号OPは、外付け回路7が装着されていないときのみ「0」となり、外付け回路7が装着されているときには、「1」、「2」もしくは「3」の値をとる。「1」のときには外付け回路にて1チャンネル分の遅延が生じ、「2」のときには2チャンネル分の遅延が生じ、さらに、「3」のときには3チャンネル分の遅延が生じることを示している。すなわち、外付け指示部4の出力する外付け指示信号OPは、アド

レス発生部18が波形メモリにアドレスを出力してから、そのアドレスに応じた波形データが外付け回路を通して補間部19に入力するまでの外付け回路7における時間遅れに対応して設定される。

【0011】次に、2チップ指示部5は、音源8が2チップ装着されたときに「1」となるチップ信号C2と、マスターとなる音源（以下の説明では8aとする）に「1」、スレーブとなる音源（以下の説明では8bとする）に「0」となるマスター信号MCを音源8a、8bおよび外付け回路7に出力する。

【0012】波形メモリ6には、圧縮された波形データ、および圧縮されていない波形データ（以下、非圧縮データという）が格納されている。なお、波形データの格納の方式については後述する。上記波形メモリ6は、音源8から供給されるアドレスデータに従って、所定の波形データを外付け回路7へ出力する。なお、外付け回路7が装着されていない場合には、直接、音源8の補間部19へ出力する。外付け回路7は、波形メモリ6と音源8との間に、着脱可能に設けられる回路であり、チップ信号C2、マスター信号MCに応じて、波形データを20 選択した後、該波形データを音源8から供給されるインクリメント信号INCに応じて復調した後、音源8へ所定のタイミングで供給する。なお、ここでいう「着脱可能」の意味は、外付け回路7が波形メモリ6と補間部19との間に挿入された構成と、挿入されない構成との両方が同一の音源で選択可能であるということである。

【0013】次に、音源8は、時分割32チャンネル動作により、共通の回路で32個の独立した楽音を順次生成する音源であり、上記アドレスデータを生成するとともに、上記波形メモリ6から供給される波形データに対して、補間、エンベロープ付与、アナログ変換等を施した後、サウンドシステム10へ供給する。サウンドシステム10は音源8から供給される楽音信号をスピーカ等によって楽音として発音する。

【0014】（2）音源の構成

次に、上述した音源8の詳細な構成について同図1を参照して説明する。音源8は、インターフェース11、時分割制御されるレジスタ群12、アドレス発生部18、補間部19、エンベロープ発生部20、エンベロープ乗算部21（以上、音源構成要素11～12は複数チャンネル時分割動作を行ない、時分割で複数の独立した楽音を生成する。）、チャンネル累算部22、およびデジタル-アナログ・コンバータ（以下、DACと呼ぶ）23から構成されている。インターフェース11は、制御部3から供給される各種データを受け、所定の制御信号として、時分割制御されるレジスタ群12の各々に供給する。DACにおけるデジタルアナログ変換のサンプリング周波数は50KHzであり、32の時分割チャンネルはそれを32分割した $32 \times 50K = 1.6MHz$ で動作している。

【0015】上記レジスタ群12としては、それぞれ、各時分割チャンネル毎に、独立に押鍵を検出した際にノートオン信号NONを生成し、各部へ供給するノートオン生成部13、2点補間もしくは4点補間のいずれかを指示する補間制御信号P2、読み出す波形が圧縮波形であるか、非圧縮波形であるかを指示する圧縮信号COMPを出力する復調制御部14と、波形データ読み出しのためのアドレス制御信号ADDCを出力するアドレス制御部15と、上記波形データの先頭アドレスを指示する先頭アドレス制御信号TADDCを出力する先頭アドレス制御部16と、波形データに所定のエンベロープを付与するためのエンベロープ制御信号EVLを生成するエンベロープ発生制御部17とがある。

【0016】上記復調制御部14は、上述した外付け指示信号OPの指示する遅延分早いタイミングで、上記圧縮信号COMPを外付け回路7およびアドレス発生部18へ供給し、補間制御信号P2をアドレス発生部18へ、また、補間制御信号P2を標準のタイミングで補間部19へ供給する。圧縮信号COMPは、例えば、圧縮波形データを読み出す場合には「1」となり、非圧縮データを読み出す場合には「0」となる。また、補間制御信号P2は、2点補間の場合に「1」となり、4点補間の場合に「0」となる。ここで、圧縮信号COMPおよび補間制御信号P2は共に各時分割チャンネル毎に独立に制御部3により設定されたデータである。

【0017】次に、アドレス発生部18は、アドレス制御信号ADDCおよび先頭アドレス制御信号TADDC、外付け指示信号OP、チップ信号C2、マスター信号MCに応じて、アドレスデータADDを生成し、該アドレスデータADDを外付け指示信号OPの指示する遅延分早いタイミングで波形メモリ6へ供給するとともに、インクリメント信号INC、信号ODDを外付け回路7へ供給し、さらに、アドレス小数部を標準のタイミングで補間部19へ供給する。

【0018】補間部19は、補間制御信号P2、外付け指示信号OP、チップ信号C2、マスター信号MCに応じて、波形メモリ6からの波形データをアドレス小数部により補間し、所定の読み出しサイクルに応じた波形データとし、これをエンベロープ発生乗算部21へ出力する。また、エンベロープ発生部20は、エンベロープ制御信号EVLに応じて、32チャンネル分のエンベロープ信号EV2を生成し、該エンベロープ信号EV2を上記エンベロープ乗算部21へ出力する。

【0019】エンベロープ乗算部21は、時分割で順次入力する32チャンネル分の波形データに、対応するエンベロープ信号を付与した後、これを順次チャンネル累算部22へ出力する。チャンネル累算部22は順次供給される32チャンネル分の波形データを累算（ミキシング）して、サンプリング周波数50KHzの1波の波形データとしてDAC23へ出力する。DAC23は、上

記波形データをアナログ信号の楽音信号に変換した後、前述したサウンドシステム10へ出力するようになって

【0020】(3)音源と外付け回路との構成例
ここで、上述した外付け回路7、音源8および波形メモリ6の配設関係と、外付け指示信号OP、チップ信号C2、マスター信号MCとの関係について図2を参照して説明する。図2(a)は、1つの波形メモリ6に1つの音源8を用いた場合の構成を示すブロック図であり、従来と同様の構成となっている。各発音チャンネル毎に4スロット使用できるので、4点補間で、32チャンネルの発音が可能である。この場合、本実施例では、外付け指示信号OPは「0」、チップ信号C2は「0」、マスター信号MCは「1」となる。次に、図2(b)では、1つの波形メモリ6を2つの音源8a、8bが共有する構成となっている。2つの音源で波形メモリのアクセス時間を分け合い、各チャンネル当り2スロットしか使用できないので、2点補間になってしまうが、64チャンネルの発音が可能である。この場合、マスターとなる音源8aにおける外付け指示信号OPは「0」、チップ信号C2は「1」、マスター信号MCは「1」となり、スレーブとなる音源8bにおける外付け指示信号OPは「0」、チップ信号C2は「1」、マスター信号MCは「0」となる。

【0021】次に、図2(c)では、1つの波形メモリ6に対して1つの音源8が対応しており、かつ、外付け回路7が介挿された構成となっている。この場合、4点補間で、32チャンネルの発音が可能であるとともに、圧縮波形および非圧縮波形の再生が可能である。この場合、外付け指示信号OPは「1」、チップ信号C2は「0」、そして、マスター信号MCは「1」となる。ただし、圧縮波形については、再生ピッチが元のピッチの4倍以上に制限される。そして、最後に、図2(d)では、1つの波形メモリ6を2つの音源8a、8bで共有するとともに、各音源との間に外付け回路7a、7bが介挿された構成となっている。この場合、読み出しは、各チャンネル当り2スロットであるが、4点補間が可能で、64チャンネルの発音になる。ただし、圧縮波形、非圧縮波形とも、4点補間が可能なのは、再生ピッチが元のピッチの2倍までであり、それ以上の再生ピッチについては、信号P2により2点補間を行なうように制御する。また、この時も、圧縮波形の再生ピッチの上限は、元ピッチの4倍である。マスターとなる音源8aにおける外付け指示信号OPは「2」、チップ信号C2は「1」、マスター信号MCは「1」となり、スレーブとなる音源8bにおける外付け指示信号OPは「2」、チップ信号C2は「1」、そして、マスター信号MCは「0」となる。

【0022】(4)アドレス発生部の構成

次に、前述したアドレス発生部18の構成について図3

を参照して説明する。図3は本実施例におけるアドレス発生部18の一構成を示すブロック図である。図において、30は、Fナンバ発生器であり、各時分割チャンネルのピッチデータに従って、発音すべき楽音のピッチに応じたFナンバを順次発生し、該Fナンバの整数部を全加算器31および半加算器33へ供給し、同Fナンバの小数部を全加算器32へ供給する。全加算器31および全加算器32は、後述するアドレスRAM38から順次供給される各時分割チャンネルのアドレスデータ(整数部、小数部)に上記Fナンバ(整数部、小数部)を加算することにより、アドレスデータをピッチに応じたステップで更新する。

【0023】また、全加算器32のキャリー(桁上げ)は全加算器31へ供給されるとともに、上記半加算器33へ供給されるようになっている。これら全加算器31、32によって更新されたアドレスデータ(整数部、小数部)は、アドレス制御部34へ供給される。アドレス制御部34は、図1に示すアドレス制御レジスタ15から供給されるアドレス制御データに従って、アタック波形1回読み後ループ波形繰返し読みや、複数ループ波形順次繰返し読み等の波形読み出し順序の制御を行なうとともに、Fナンバに基づくアドレスデータをアドレスRAM38のデータ入力端へ供給する。

【0024】一方、チャンネルカウンタ35は、時分割チャンネルをカウントし、該カウント値を全加算器37の一方の入力端へ供給する。また、オフセット発生器36は、「0」、「1」、「2」、「3」、「4」のいずれの値をとるオフセット値を発生し、上記全加算器37の他方の入力端へ供給する。全加算器37は、上記カウント値とオフセット値を加算し、これをアドレスとしてアドレスRAM38へ供給する。

【0025】アドレスRAM38には、上記アドレスが供給されるタイミングに応じて、各時分割4チャンネルを4つに分けたスロット単位の時分割で、データ入力端D1へ供給されるアドレスデータが上記アドレスに書き込まれるとともに、上記アドレスに格納されているアドレスデータが読み出されてデータ出力端DOから出力される。該アドレスデータ(整数部、小数部)は、アドレス更新のためのスロットでは、ラッチ回路39を介して前述した全加算器31、32へ供給されるとともに、そのアドレス整数部はラッチ回路45を介して加算器47の一方の入力端へ供給され、そのアドレス小数部は、波形読み出しアドレス供給のための読み出しスロットで、ラッチ回路46を介して図1に示す補間部19へ供給される。

【0026】ここで、本実施例のアドレス発生における時分割処理について図4を参照して説明する。図4はアドレス発生のタイミングを説明するためのタイムチャートである。上述したように、本実施例では、各チャンネルを4つのタイムスロットに分割して処理を行なうよう

になっており、上記チャンネルカウンタ35のカウン
値と上記オフセット発生器36のオフセット値とによ
て、どのチャンネルにおける処理を行なっているかを指
定するようになってい

【0027】図4において、最上部の帯が時間軸上のチ
ャンネルを示しており、符号*i*がチャンネル番号とな
る。図では、*i*チャンネルを現在のチャンネルとして、
それより過去のチャンネルを負の添え字で示し、先のチ
ャンネルを正の添え字で示している。各チャンネルは、
次段に示すように、4つのタイムスロットT1〜T4に
分割されており、タイムスロットT1〜T4の各々にお
いて、アドレスRAM38に対するアドレスデータの読
み出し、書き込みが行なわれる。

【0028】まず、第1のタイムスロットT1では、チ
ャンネルカウンタ35のカウン値とオフセット値との
加算値、すなわち全加算器37の出力値を読み出しアド
レスとして、アドレスRAM38からアドレス整数部お
よび小数部が読み出され、ラッチ回路39にラッチされ
る。このタイムスロットT1におけるオフセット値は、
本実施例では、常時、「+4」であり、4チャンネル分
先のチャンネルにおけるアドレス整数部が読み込まれる
ことを意味している。言換えると、*i*チャンネルのアド
レス整数部は過去の(*i*−4)チャンネルの処理におい
て読み出される。

【0029】次に、第2のタイムスロットT2では、チ
ャンネルカウンタ35のカウン値とオフセット値との
加算値を読み出しアドレスとして、アドレスRAM38
からアドレス整数部が読み出され、ラッチ回路45にラ
ッチされる。このタイムスロットT2におけるオフセッ
ト値は、外付け回路7の有無に応じて異なる値をとり、
外付け回路7が装着されていない場合には「0」とな
り、外付け回路7が装着されている場合には、外付け回
路7の処理速度に応じて、「+1」、「+2」、または
「+3」のいずれかの値をとる。なお、本実施例では、
前述したように、外付け指示信号OPによって外付け回
路7の有無を区別しており、上記オフセット値は、外付
け指示信号OPが「0」の場合に「0」となり、外付け
指示信号OPが「2」の場合に「+2」となるようにし
ており、「+1」および「+3」の値を用いる外付け回
路7の例は開示しないが、内部処理に応じて「+1」や
「+3」およびその他の信号OPの値が必要となる外付
け回路7も容易に考えられる。

【0030】次に、第3のタイムスロットT3では、チ
ャンネルカウンタ35のカウン値とオフセット値との
加算値を読み出しアドレスとして、アドレスRAM38
からアドレス小数部を読み出して、ラッチ回路46にラ
ッチする。このタイムスロットT3におけるオフセッ
ト値は、本実施例では、常時「0」であり、現時点のチ
ャンネルにおけるアドレス小数部を出力することを意味し
ている。また、第4のタイムスロットT4では、チャン

ネルカウンタ35のカウン値とオフセット値との加算
値を書込みアドレスとして、全加算器31、32および
アドレス制御部34により更新されたアドレスデータが
書込まれる。このタイムスロットT4におけるオフセッ
ト値は、第1のタイムスロットと同様に常時「+4」で
あり、常に4チャンネル分先のチャンネルにおけるアド
レスデータを読み出し、更新されたアドレスデータが新
データとして書き込まれる。

【0031】したがって、外付け回路7が装着されてい
ない場合には、例えば、*i*チャンネルに注目すると、該
チャンネルのアドレスデータは、4チャンネル分過去の
(*i*−4)チャンネルのタイムスロットT1において読
み出され、更新されたアドレスデータがT4において書
込まれる。そのアドレス整数部は、*i*チャンネルの第2
のタイムスロットT2で順次出力され、そのアドレス小
数部は*i*チャンネルの第3のタイムスロットT3から順
次出力される。これに対して、外付け回路7が装着さ
れ、信号OPに「2」が設定されている場合には、*i*チ
ャンネルのアドレスデータは、4チャンネル分過去の
(*i*−4)チャンネルにおいて更新され、そのアドレス
整数部は2チャンネル過去の(*i*−2)チャンネルの第
2のタイムスロットT2から順次出力され、そのアドレ
ス小数部は*i*チャンネルの第3のタイムスロットT3か
ら順次出力される。このように、外付け回路7が装着さ
れ、信号OPに「2」が設定されている場合には、2チ
ャンネル分前の(*i*−2)チャンネルにおいて、アドレ
ス整数部が出力されることになる。

【0032】次に、図3に説明を戻すと、半加算器33
は、Fナンバ発生器30が出力するFナンバの整数部
と、更新されるアドレスデータの小数部のキャリー（桁
上げ）とを加算し、最大値を「4」とするアドレス進み
量Δ1を算出し、遅延回路40へ供給する。遅延回路40
には、外付け指示信号OPが供給されており、該外付
け指示信号OPに応じて遅延時間を調整し、適切なタイ
ミングで上記アドレス進み量Δ1を後段のインクリメン
ト信号発生部41と戻り量発生部42とへ供給する。該
遅延回路40は、外付け回路7の有無に応じて、アドレ
スRAM38からアドレスデータの整数部が出力され、
ラッチ回路45にラッチされるタイミングと、上記アド
レス補正値の出力タイミングとを一致させるためのもの
である。

【0033】上記インクリメント信号発生部41は、ア
ドレス進み量Δ1に応じて、4ビットのシリアルデータ
からなるインクリメント信号INC1、INC2、INC3、
INC4を発生し、これを外付け回路7に設けられた
復調回路64へ供給する。このインクリメント信号INC1、
INC2、INC3、INC4は、再生すべき圧縮波
形データの数に一致したパルス信号であり、上記復調回
路は該インクリメント信号INC*i* (*i*=1, 2, 3, 4)の
パルスに従って、復調動作を行なうようになって

いる。

【0034】例えば、アドレス進み量 ΔI が「0」の場合にはインクリメント信号INC1～INC4の全てが「0」となり、 ΔI が「1」の場合にはインクリメント信号INC1のみが「1」で、インクリメント信号INC2～INC4は「0」となる。また、アドレス進み量 ΔI が「2」の場合にはインクリメント信号INC1およびINC2が「1」で、他のインクリメント信号INC3、INC4は「0」となる。さらに、アドレス進み量 ΔI が「3」の場合にはインクリメント信号INC1～INC3が「1」となり、インクリメント信号INC4は「0」となり、 ΔI が「4」の場合にはインクリメント信号INC1～INC4の全てが「1」となる。

【0035】圧縮波形を再生する際のアドレス進み量 ΔI およびINC信号について説明したが、続いて、非圧縮波形再生の場合について説明する。この場合、波形が圧縮されていないので外付け回路7の機能のうち、圧縮波形のデコード機能は必要がなく、補間のための過去サンプルを供給する機能のみ使用される。この機能が利用されるのは、2音源構成（チップ信号C2が「1」）、かつ、外付け回路7付き（信号OPが「0」でない）、かつ、4点補間（信号P2が「0」）が選択されている時分割チャンネルの場合であるが、その時は、上述した圧縮波形を再生する場合と同じ具台でアドレス進み量 ΔI およびINC信号が発生する。

【0036】その他の場合についてであるが、一番わかりやすいのは外付け回路7なし（信号OPが「0」）の場合であり、この時にはアドレス進み量 ΔI およびINC信号は使用されないものでどのような状態でもよい。一方、外付け回路7付き（信号OPが「0」でない）で、残る1音源構成（チップ信号C2が「0」）、または、4点補間（信号P2が「0」）が選択されている時分割チャンネルの場合であるが、この時は、外付け回路7が装着されているものの、その回路の機能は必要としないので、波形メモリから読みだされた波形が所定の時間遅れのみを伴って外付け回路7からそのまま出力されるように制御すればよい。即ち、INC信号については、アドレス進み量 ΔI の値にかかわらず、そのアクセス期間（1音源構成の時、全4スロット。2音源構成の時、信号MCに応じた前半または後半の2スロット。）において無条件にパルスが発生させ、そのスロットで読まれた波形を外付け回路7に取り込ませる。

【0037】また、戻り量発生部42は、上記アドレス進み量 ΔI に「-1」を乗算した後、「1」を加算して、この結果をセレクト43へ供給する。したがって、戻り量発生部42からは「1」、「0」、「1」、「-2」、「-3」のいずれかの値が戻り量として出力される。上記セレクト43には、上記戻り量発生部42の出力以外に「-3」、「-2」なる一定値が供給されており、セレクト43は、2点補間信号P2およびチッ

プ信号C2に応じて、上記戻り量発生部42から供給される値か、または「-2」、あるいは「-3」のいずれかを選択的にビット拡大部44へ供給する。

【0038】3つの入力のうち、戻り量発生部の発生する戻り量は、外付け回路7の機能を使用する場合に選択される。即ち、外付け回路7付き（信号OPが「0」でない）で、圧縮波形を再生中の発音チャンネル（信号COMPが「1」）の場合、もしくは2音源構成（チップ信号C2が「1」）、かつ、外付け回路7付き（信号OPが「0」でない）、かつ、4点補間（信号P2が「0」）が選択されている時分割チャンネルの場合である。アドレス進み量 ΔI は、ラッチ回路45にラッチされた各時分割チャンネルのアドレス整数部が（4チャンネル時間前の）対応するアドレス更新演算でいくつ進んだかを示しており、一方、戻り量は、ラッチ回路45にラッチされた該アドレス整数部を、その時進んだ中の1つめのアドレスに戻すための引き算値として、戻り量 $\{(-1) * \Delta I + 1\}$ を発生している。

【0039】一方、残りの「-2」および「-3」の一定値の入力は、外付け回路7の機能を使用しない場合（つまり、上記使用する場合以外の場合）に選択される。さらに、この2つの値のうち、「-2」が選ばれるのはその時分割チャンネルにて2点補間を行っている場合（信号P2が「1」）であり、「-3」が選択されるのは4点補間を行っている場合（P2が「0」）である。この「-2」と「-3」の値は、それぞれ、2点補間および4点補間による補間サンプルのラッチ回路45にラッチされたアドレス整数部に対する相対位置を、外付け回路7を使用する場合の4点補間による補間サンプルの場合と同じにするための値である。

【0040】先に、16ビットの非圧縮波形データおよび16ビットの波形を8ビットに圧縮した圧縮波形データを記憶する波形メモリ6の記憶フォーマットについて説明しておく。波形メモリ6の出力データ幅は16ビットであり、非圧縮波形データは1アドレス1サンプルで順次記憶されている。一方、圧縮波形データの記憶形式は図6のようになっており、順次連続する8ビットの圧縮波形サンプルのうち、偶数番目の8ビットサンプルとそれに続く奇数番目の8ビットサンプルが、それぞれ16ビットデータの低位8ビットおよび上位8ビットとして結合され、得られた16ビットデータが波形メモリ6の各アドレスに順次記憶されている。16ビットから8ビットへの圧縮には、2次のLPC方式もしくはDPCM方式が使われており、順次供給される圧縮波形デコードのためには、過去の圧縮波形サンプルのデコードされた再生サンプルが必要である。つまり、圧縮波形のデコード再生においてはサンプルを飛び越すことは許されないわけであり、本実施例では1音源構成の場合1時分割チャンネルごとに最大4つの圧縮波形サンプルまで、2音源構成では最大3サンプルまで、しかデコードできな

いので、圧縮波形を再生する時分割チャンネルについては上述したFナンバーの値は、それぞれ、場合毎に「4」以下、および「3」以下に制限される。なお、アドレスRAM38中のアドレスのうち、圧縮波形を読みだしている時分割チャンネルのアドレスの値は波形メモリの各アドレスではなく、読出す圧縮波形の各サンプルの番号（図6における円で囲んだ数字、0、1、2、・・・）を示しており、従って、波形メモリの読み出しアドレスは、RAM38中のアドレスが「2」進む毎に「1」進む。その詳細は、シフトダウン部48とともに

10 後で説明する。
【0041】図3に示すラッチ回路45から出力されるアドレス整数部は、読出す波形データの最終アドレスを指示するようになっている（ただし、2点補間についてだけは、補間の位相をあわせる関係で例外的にそうっていない）。すなわち、ある時分割チャンネルのアドレスがラッチ回路45にラッチされて、波形メモリ6の読み出しが行われた後では、該ラッチされたアドレス以前に記憶されているサンプルは既に最低1回読みだされ再生されている。上述したように、圧縮波形をデコードする

20 ためには過去にデコードされたサンプルが必要なわけであるが、この場合、アドレスRAM38中の各時分割チャンネルのアドレスは、その対応する読み出しデコードが行われた後の時点において、既にデコード再生し終わっているサンプルの最終アドレスを示しているの

30 ので、その次のアドレス更新時の同発音チャンネルの処理では、更新前のアドレスの1つ後のアドレスの圧縮波形サンプルから更新後のアドレスの圧縮波形サンプルまでを1つずつ順次読みだしてデコードすればよい。半加算器33の出力するアドレス進み量 $\Delta 1$ は、このアドレス更新において同発音チャンネルのアドレスの整数部がいく

40 つ進んだかを示しており、その更新後の読み出しにおいてデコードすべき圧縮波形のサンプル数に対応している。アドレス進み量 $\Delta 1$ に応じて、INC発生器41はデコードするサンプル数（非圧縮波形については更新するサンプル数）のパルスをインクリメント信号として発生し、一方、戻り量発生部42は、ラッチ回路45にラ

50 ッチされた該更新後のアドレスの整数部を、加算器47にて上述した更新前のアドレスの1つ後のアドレスに戻すための、戻り量を発生している。なお、圧縮波形にお

ける補間は、ラッチ回路45にラッチされたアドレスから前方向に4つ分の連続する4サンプルについて行われ、補間サンプルの位置はその2つめと3つめのサ

ンプルの間である。
【0042】次に、非圧縮波形で4点補間する場合にセ

レクタ43の選択する「-3」の値について説明する。この場合、加算器47の出力するアドレスを該4サ

ンプルの最初のサンプルのアドレスとして、後述する補助

カウンタ49および加算器50の働きにより、4点補間に

必要な連続する4サンプルを1時分割チャンネルの4ス

ロットで順次読出す。ラッチ回路45にラッチされたアドレス整数部と補間サンプル位置の関係を、圧縮波形における4点補間と同じにするためには、ラッチ回路45の該アドレス整数部を該4サンプルの4番目のサンプルのアドレスになるようにすればよい。後述する補間カウンタ49の発生する値が「0」、「1」、「2」、「3」であるので、加算器47における加算値を「-3」とすれば、加算器50における補間カウンタの出力値と総合して、「-3」、「-2」、「-1」、「0」となり、それが実現する。

【0043】一方、非圧縮波形2点補間の時分割チャンネルでは、セクタ43にて「-2」が選択される。この場合、補間のためには連続する2サンプルが必要で、波形メモリ6から順次読みだされた連続する2サンプルの間で直線補間が行われる。この時の2サンプルとしては、4点補間の場合の連続する4サンプルのうちの真中の2つを使用したほうがよい。なぜならば、4点補間の場合に補間されるサンプルの位置は該真中の2サンプルの間であり、その4点補間で得られる補間サンプルに対して2点補間の際の補間サンプルの位相をあわせるため、2点補間を該真中の2サンプルで行うようにする。2点補間の場合、補間カウンタ49は「0」、「1」を発生するので、セクタ43で「-2」を選択すると、その2つの加算値を総合すると「-2」、「-1」となり、それが実現する。位相をあわせる理由は、波形を4点補間にするか2点補間にするかでサンプルの位置が変わるため、例えば2波形を混合する場合等に、波形の補間方法を切り換えたことで音色が大きく変化してしまうのを防ぐためである。

【0044】ビット数拡大部44は、セクタ43の出力する各種データ（4ビット程度）のビット数を加算器47における演算ビット数（16～20ビット程度）まで符号拡張する回路である。

【0045】このように、加算器47において補正されたアドレス整数部の最下位ビット（1ビット）は信号ODDとして外付け回路7へ供給され、そのビットも含む全ビットがシフトダウン部48へ供給される。上記信号ODDは、16ビット長の波形メモリ6から8ビットの圧縮波形データを取り出す際、下位8ビットから取り出すか、上位8ビットから取り出すかを指示する信号である。シフトダウン部48は、圧縮信号COMPが「1」の場合に、アドレスデータを1ビットシフトダウンして加算器50へ供給する。

【0046】圧縮波形が読みだされる時分割チャンネルでは、加算回路47の出力するアドレス整数部がシフトダウン部48において1ビットシフトダウンされる。該シフトダウンにより、ラッチ回路45や加算器47におけるアドレスが「2」進む毎に「1」進むアドレスが生成されシフトダウン部48から出力される。すなわち、圧縮波形の各サンプル番号を示すアドレスは、シフトダ

ウン部48において、波形メモリ6を読み出すためのアドレスに変換されるわけである。

【0047】また、補間カウンタ49は、4点分の波形データ（補間データ）を順次読み出すため、もしくは2つの音源に対して各々2点分の波形データを順次読み出すために、アドレスを進めるためのカウンタであり、音源が1チップのとき、「0」、「1」、「2」、「3」なる値を1チャンネルの4スロット内において順次、加算器50へ供給し、音源が2チップのとき、「0」、「1」、「0」、「1」なる値を同4スロット内において順次、加算器50へ供給する。

【0048】上記加算器50は、上記アドレスデータにスタートアドレスを加算するとともに、上記補間カウンタ49から各時分割チャンネルの4つのスロットのタイミングで供給される「0」、「1」、「2」、「3」（もしくは「0」、「1」、「0」、「1」）なる値を加算し、4点分のアドレスデータを順次作成してゲート回路51へ供給する。ゲート回路51は、上記4点分のアドレスデータの出力タイミングを制御するもので、音源が1チップの場合には常時、開状態となり、音源が2チップの場合には、マスタ側の音源に対してはアドレスデータの前半の2タイムスロットだけが開状態となり、スレーブ側の音源に対してはアドレスデータの後半の2タイムスロットだけが開状態となる。したがって、波形メモリ6のアクセス時間、すなわち各4チャンネル毎の全4スロットのうち、前半の2スロットをマスタ側が、後半の2スロットをスレーブ側の音源が使用する。このようにして得られたアドレスデータは波形メモリ6へ供給される。波形メモリ6からは、上記アドレスデータに応じて波形データが読み出され、外付け回路7へ供給される。

【0049】（5）外付け回路の構成

次に、外付け回路7について図5を参照して説明する。図5は外付け回路7の構成を示すブロック図である。図において、遅延回路55は、波形メモリ6から読み出された波形データ（16ビット）を1タイムスロット分遅延し、遅延回路56へ供給するとともに、セレクタ57の一方の入力端へ供給する。遅延回路56は、上記遅延回路55が出力する波形データ（4点分）を2タイムスロット分遅延し、上記セレクタ57の他方の入力端へ順次供給する。

【0050】セレクタ57は、通常、遅延回路56の出力、すなわち2タイムスロット分（遅延回路55の遅延を合せて3タイムスロット分）遅延した波形データ（4点分）を後段へ順次出力し、2チップの音源を用いる場合には、スレーブ側の外付け回路7にて、遅延回路55の出力、すなわち1タイムスロット分遅延した波形データ（4点分）を後段へ順次出力する。これは、2チップの音源を用いる場合には、マスタ側の外付け回路は4点分の波形データのうち、前半の2点（1、11）を用

い、スレーブ側の外付け回路は4点分の波形データのうち、前半の2点が供給されるタイミングに対して、2タイムスロット分遅れて供給される後半の2点（111、1V）を用いるためである。そこで、セレクタ57は、4タイムスロットのうち、前半の2タイムスロットを用いるマスタ側では、遅延回路56によって遅延された波形データを出力し、後半の2タイムスロットを用いるスレーブ側では遅延回路55の出力する波形データを出力するようになっている。

【0051】次に、セレクタ58は、セレクタ57から直接供給される波形データの上位8ビット、または下位8ビットのいずれか、もしくは遅延回路59、60、61によって1タイムスロット分遅延された波形データの上位8ビットまたは下位8ビットを、最終的な波形データの8ビットとして選択的に出力するようになっている。

【0052】ここで、セレクタ58の出力選択について図7を参照して説明する。図7は16ビット長の波形メモリ6から各時分割チャンネルにおいて8ビットの圧縮波形データを読み出す際の動作を説明するための図である。図7（a）に示すように、16ビット長の波形メモリ6には、前述したように、各アドレスの下位8ビット、上位8ビット毎に、8ビットに圧縮された圧縮波形データが順次格納されている。波形メモリ6は、供給されるアドレスに従って、16ビット長の波形データ（2つの圧縮波形データを含む）を順次出力する。したがって、この波形メモリ6から、図7（b）に示すような8ビットの圧縮波形データを順番に取り出すためには、上記16ビット長の波形データを所定のタイミングで振分ける必要がある。すなわち、図5に示すセレクタ58には、同一タイミングで第1および第2の圧縮波形データ（16ビット）が供給されるので、信号ODDが「0」のとき、すなわちデコードすべき最初の圧縮サンプルが最初の読み出しデータの8ビットに入っている場合は、当該時分割チャンネルの第1スロットで第1の圧縮波形データを出力するには入力端Aに直接供給される下位8ビットのデータを出力すればよい。

【0053】次に、第2スロットで第2の圧縮波形データを出力するには、1タイムスロット分遅延された同一の読み出しデータの上位8ビットのデータを出力すればよい。したがって、入力端Dに供給される、遅延回路59が出力する1タイムスロット分遅延された上位8ビットのデータを出力すればよい。次に、第3の圧縮波形データは、波形メモリ6から2番目に読み出された読み出しデータの8ビットに入っているため、該データを出力するには、第3スロットで1タイムスロット分遅延された下位8ビットのデータ、すなわち遅延回路60から入力端Cに供給される下位8ビットのデータを出力すればよい。さらに、第4の圧縮波形データを出力するには、第4スロットで2タイムスロット分遅延された上位

8ビットのデータ、すなわち遅延回路61から入力端Eに供給される上位8ビットのデータを出力すればよい。

【0054】これに対して、信号ODDが「1」のとき、すなわちデコードすべき最初の圧縮サンプルが最初の読み出しデータの上位8ビットに入っている場合には、セクタ58は、図7(c)の右側に示すように、各時分割チャンネルの第1～第4のスロットにおいて、入力端B、A、D、Cの順で順次出力すればよい。また、圧縮されていない波形データを読み出す場合には、ゲート回路62を開状態として、セクタ57から出力される上位8ビットのデータを後段へ出力するとともに、セクタ58によって入力端Aに供給される下位8ビットのデータを後段へ出力すればよい。この選択により、セクタ57の出力で上位8ビット、下位8ビットに分離されたデータがノンリニア拡張部63の直前で再び16ビットに合成される。セクタ58から出力された圧縮波形データもしくは非圧縮波形データは、ノンリニア拡張部63へ供給される。なお、該波形データは、圧縮波形データの場合には、セクタが出力する8ビットデータであり、非圧縮波形データの場合には、当然、ゲート回路62を介して供給される上位8ビットを加えた16ビットデータとなる。

【0055】次に、ノンリニア拡張部63は、圧縮信号COMPが「1」、すなわち圧縮波形サンプルが供給された場合には、上記8ビットの圧縮波形データをログ（対数値）からリニア（直線値）へ伸張するとともに、符号を拡張して16ビット長の波形データに変換した後、復調回路64へ供給する。つまり、前述した2次のLPCまたはDPCMによる圧縮に加えて、その2次のLPCまたはDPCMで生成された残差波形がさらにリニア対数変換されて、波形メモリ6に記憶する8ビットの圧縮波形になっているわけである。一方、圧縮信号COMPが「0」の場合には、供給される16ビットの非圧縮波形データをそのまま復調回路64へ供給する。

【0056】復調回路64の内部では、供給される圧縮波形データと、前回復調した波形データとに基づいて、波形データを復調するようになっている。特に、2次のLPCによる圧縮波形データの場合には、差分データ（圧縮データ）が入力されると、1サンプリング周期（＝32チャンネル分の時間）分遅延された復調波形データと、2サンプリング周期分遅延された復調波形データとに係数A0、A1を乗算した後、該乗算結果を上記差分データに加算することによって、波形データを復調するようになっている。

【0057】(6) 復調回路の構成

ここで、上記復調回路64について図8を参照して説明する。図8は復調回路の一構成例を示すブロック図である。図において、バッファRAM70には、所定のタイミングで、入力端D1に供給される、復調された各チャンネルの4点分の波形データが格納されるとともに、格

納された4点分の波形データが順次読み出されて、図示するラッチ回路71、72、73、74へ供給される。ラッチ回路71には1サンプリング周期前の波形データが供給され、順次、ラッチ回路72には2サンプリング周期前の波形データ、ラッチ回路73には3サンプリング周期前の波形データ、そして、ラッチ回路74には、最も古い4サンプリング周期前の波形データが供給される。つまり、各チャンネル毎の過去に復調された4点分の波形データがラッチ71～74に順次ラッチされる。ラッチ回路71～74は、各々、供給される波形データを一旦保持し、セクタ75～78の第1の入力端へ供給する。

【0058】また、上記バッファRAM70の読み出しアドレス、および書き込みアドレスは、チャンネルカウンタ80、遅延回路81、およびセクタ82により生成される。チャンネルカウンタ80は、所定のタイミングで「1」、「2」、…なるチャンネルを指示するカウント値を生成し、セクタ82の一方の入力端と遅延回路81とへ供給する。遅延回路81は、上記カウント値を8スロット分（＝2チャンネル分）遅延して、セクタ82の他方の入力端へ供給する。また、セクタ82は、チャンネルカウンタ80から直接供給されるカウント値を、読み出しアドレスとしてバッファRAM70へ供給する一方、遅延回路81から供給される8スロット分遅延されたカウント値を書き込みアドレスとしてバッファRAM70へ供給する。

【0059】セクタ75～78は、遅延回路83、84、85、86を介して縦続接続されており、前述したインクリメント信号INCの第1～第3スロットのパルスに応じて、3つの入力端に供給されるデータのいずれかを選択的に後段の遅延回路へ出力するようになっている。また、セクタ75、76の出力は、各々、遅延回路83、84とともに乗算器87、88にも供給されている。乗算器87、88には、各々、LPC復調係数A0、A1が供給されており、上記セクタ75、76の出力にこれらLPC復調係数A0、A1を乗算して、加算器89へ供給する。加算器89は、乗算器87、88の出力データを加算して、予測データとしてゲート回路90へ供給する。ゲート回路90は、圧縮信号COMPが「1」のときにのみ開状態となり、加算器89の出力を加算器91の一方の入力端へ供給する。該加算器91の他方の入力端には、前述したノンリニア拡張部63から出力される波形データが供給されており、加算器91は、元となる波形データと予測データとを加算し、遅延回路92へ供給する。遅延回路92は、上記加算された波形データを1タイムスロット分遅延させた後、上述したセクタ75の第2の入力端へ供給する。

【0060】また、上記遅延回路83～76の出力は、各々、次段のセクタの第2の入力端および前段のセクタの第3の入力端へ供給されるとともに、図面上段

に示す前段のセレクタの第3の入力端、および次段のセレクタの第2の入力端へ供給されるようになっている。図面上段に示されるセレクタ93、94、95、96は、上述した下段のセレクタ75〜78と同様に、遅延回路97、98、99、100を介して縦続接続されており、前述したインクリメント信号INCの第4スロットのパルスに応じて、およびその後の順次送り動作で3つの入力端に供給されるデータのいずれかを選択的に後段の遅延回路へ出力するようになっている。遅延回路97〜100の出力は、各々、次段のセレクタの第1の入力端へ供給されるようになっている。また、最終段の遅延回路100の出力は、バッファRAM70へ前述したタイミングで書き込まれるとともに、図1に示す補間部19へ出力される。

【0061】(7) 補間部の構成

次に、前述した補間部19の構成について図9を参照して説明する。図9は本実施例における補間部19の一構成を示すブロック図である。図において、アドレス発生部18から出力されるアドレス小数部は、減算器102の一方の入力端、ビット反転器104、およびセレクタ105の第3の入力端へ供給されている。補間カウンタ101は、本実施例では、「1」、「2」、「3」、「4」なる循環数列を生成し、これを所定のタイミングで減算器102の他方の入力端へ供給する。上記「1」〜「4」の値は、4点分の波形データの各々に対応して出力されるようになっている。減算器102は、上記「1」〜「4」の各値からアドレス小数部を減算し、これを係数メモリ103へ供給する。係数メモリ103には、図10(a)に示す補間係数が記憶されており、減算器102から供給される値に応じた補間係数をセレクタ105の第1の入力端へ供給する。

【0062】また、ビット反転器104は、上記アドレス小数部をビット単位で反転し、これをセレクタ105の第2の入力端へ供給する。セレクタ105は、2点補間信号P2およびマスター信号MCの値に応じて、第1〜第3の入力端のいずれかに供給されたデータを乗算器107の一方の入力端へ供給する。4点補間の場合には、2点補間信号P2が「0」となり、この場合、セレクタ105は、係数メモリ103から供給される補間係数を出力する。

【0063】また、2つの音源構成で、各音源にて2点補間する場合には、2点補間する時分割チャンネル内において、2点補間信号P2は常時「1」となり、マスター信号MCが「1」の場合は前半の2スロット分の波形データの入力タイミングを用い、「0」の場合は後半の2スロット分の波形データの入力タイミングを用いる。この場合、セレクタ105は、前半および後半、各々の2点分の波形データに同期して、順次、ビット反転器104から供給されるビット反転されたアドレス小数部、直接供給されるアドレス小数部を乗算器107へ出力す

る。この操作により、図10(b)に示す2点補間時の係数が乗算器107に供給される。

【0064】遅延回路106は、各タイムスロット毎に供給される波形データを順次遅延し、上記乗算器107へ出力する。乗算器107は、各波形データに、対応するデータ(係数、反転されたアドレス小数部、もしくはアドレス小数部)を乗算し、補間累算器108へ供給する。補間累算器108は波形データを累算した後、各時分割チャンネル毎に、得られた補間サンプルを1つ、図1に示すエンベロープ乗算部21へ出力するようになっている。

【0065】(8) 動作の説明

次に、上述した本実施例の楽音発生装置の動作について図11および図12を参照して説明する。演奏者が音色スイッチ2によって音色を設定し、鍵盤により演奏を行なうと、演奏に応じたキーコード、タッチ等の演奏情報が制御部3に供給される。そして、制御部3によって、インターフェース11を介して、各種情報がレジスタ群12へ供給される。レジスタ群12の各々は、音源の数、外付け回路の有無に応じて、前述した各種信号を各部へ供給する。なお、音色設定や、鍵盤の操作による演奏については各ケースにおける共通の操作として以下ではその説明を省略する。また、以下では、図2(a)〜(d)に示す構成を、各々、ケースA、B、C、Dとして説明する。

【0066】(8-1) ケースA

まず、図2(a)に示すように、外付け回路7を装着せず、かつ、1つの音源8で発音する場合について説明する。この場合には、外付け指示信号OP=0、チップ信号C2=0、およびマスター信号MC=1となり、楽音の発音は、4点補間で、32チャンネル分の発音が行なわれる。また、この場合には、圧縮波形は用いられない。

【0067】アドレス発生部18では、オフセット発生部36に供給される外付け指示信号OPが「0」となるため、タイムスロットT1〜T4において出力されるオフセット値は、順次、「+4」、「0」、「0」、「+4」となる。したがって、アドレスRAM38においては、タイムスロットT1において、4チャンネル分先のチャンネルのアドレスデータがアドレスRAM38から読み出され、出力端DOからラッチ回路39へ出力されラッチされる(図4の「外付け回路が装着されていない場合」を参照)。

【0068】次に、タイムスロットT2、T3においては、オフセット値が「0」であるため、自身のチャンネルのアドレスデータがアドレスRAM38から読み出されて、アドレス整数部がラッチ回路45にラッチされ、アドレス小数部がラッチ回路46にラッチされる。このタイムスロットT2、T3の間に、タイムスロットT1においてラッチ回路39にラッチされた、4チャンネル

分先のアドレスデータは、そのアドレス整数部が全加算器 31 へ供給され、アドレス小数部が全加算器 32 へ供給される。そして、F ナンバ発生部 30 からピッチデータに従って読み出された F ナンバと加算されて更新され、アドレス制御部 34 へ供給される。アドレス制御部 34 では、更新されたアドレスデータ（整数部、小数部）に対し、アドレス制御データに従って、ループ読みの処理等の所定の処理が行なわれた後、アドレス RAM 38 の入力端 D1 へ供給される。

【0069】そして、タイムスロット T4 において、アドレス制御部 34 から供給された、更新されたアドレスデータがアドレス RAM 38 の 4 チャンネル分先のチャンネルに相当するアドレスに格納される。すなわち、この場合には、各チャンネルのアドレスデータの更新は、4 チャンネル分未来のチャンネル処理におけるタイムスロット T1、T4 で行なわれ、各チャンネルのアドレスデータは該当チャンネル処理におけるタイムスロット T2、T3 で出力される。アドレスデータの整数部はラッチ回路 45 を経て加算器 47 へ供給される。

【0070】一方、この場合、チップ信号 C2 および 2 点補間信号 P2 は共に「0」であるため、セレクト 43 からは「-3」が出力され、ビット拡大部 44 においてビットが伸張された後、加算器 47 へ供給される。アドレス整数部には、上記加算器 47 においてアドレス補正值が加算される。補正されたアドレス整数部は、シフトダウン部 48 に供給される。非圧縮波形データを読み出す場合であり、圧縮信号 COMP は「0」となるので、シフトダウン部 48 にてシフトダウンされずに、そのまま加算器 50 へ供給される。

【0071】加算器 50 で、シフトダウン部 48 から出力されたアドレス整数部に、スタートアドレスと補間カウンタ 49 からの補間カウンタ値とが加算された後、ゲート回路 51 へ供給される。この場合、4 点補間であるため、補間カウンタ 49 からは、1 時分割チャンネルの各タイムスロット毎に、「0」、「1」、「2」、「3」となるカウンタ値が順次出力される。そして、スタートアドレス+アドレス整数部+補間カウンタ値なる 4 点分のアドレスデータはゲート回路 51 を介して波形メモリ 6 へ供給される。前述した通り、読み出される波形データのアドレスは、各時分割チャンネルのスタートアドレスとラッチ回路 45 にラッチされたアドレスの和に、セレクト 43 と補間カウンタ 49 から供給される総合値「-3」、「-2」、「-1」、「0」を加算したアドレスである。

【0072】波形メモリ 6 からは上記アドレスデータに従って波形データ（4 点分）が読み出され、音源 8 の補間部 19 へ供給される。補間部 19 では、この場合、4 点補間であるので、係数メモリ 103 から出力される係数（4 点分）がセレクト 105 から順次出力され、乗算器 107 へ供給される。また、補間部 19 の遅延回路 1

06 には、上述した波形メモリ 6 から読み出された 4 点分の波形データが順次供給される。したがって、各時分割チャンネルの 4 つのスロットで読み出された波形データは、乗算器 107 において、上記対応する係数が乗算された後、補間累算器 108 で累算され、各時分割チャンネルの補間された波形データとして図 1 に示すエンベロープ乗算部 21 へ供給される。このタイミングは、図 12 の「4 点補間時」に示されている。

【0073】一方、エンベロープ発生部 20 では、エンベロープ制御レジスタ 17 から供給されるエンベロープ制御信号に応じて、32 チャンネル分のエンベロープが順次生成され、該エンベロープは上記エンベロープ発生乗算部 21 へ供給される。そして、エンベロープ乗算部 21 において、各時分割チャンネル毎に上記補間された波形データに、上記エンベロープが付与され、チャンネル累算部 22 において、32 チャンネル分の波形データがミキシングされて、1 サンプリング周期毎のミキシング波形データとなり、DAC 23 によりアナログ信号に変換された後、サウンドシステム 10 において楽音として発音される。なお、上述したケース A の構成では、発音される楽音のピッチに制限はない。

【0074】（8-2）ケース B

次に、図 2（b）に示すように、外付け回路 7 を装着せず、かつ、2 つの音源 8a、8b で発音する場合について説明する。この場合には、マスター側の音源 8a に対しては、外付け指示信号 OP = 0、チップ信号 C2 = 1、およびマスター信号 MC = 1 となる一方、スレーブ側の音源 8b に対しては、外付け指示信号 OP = 0、チップ信号 C2 = 1、およびマスター信号 MC = 0 となる。この場合は、2 点補間（全時分割チャンネルの信号 P2 が全て「1」）で、64 チャンネル分の発音が行なわれる。この場合も、ケース A と同様に圧縮波形データは用いられない（信号 COMP は全て「0」）。また、各音源 8a、8b におけるアドレス発生部 18 におけるラッチ回路 45 までの動作は、前述した場合と同一であるので説明を省略する。

【0075】先に説明したように、2 点補間の時分割チャンネル（P2 が「1」）については、セレクト 43 で必ず「-2」が選択される。また、圧縮波形は用いられないので、シフトダウン部 48 は、入力するアドレスをそのまま出力する。結局、シフトダウン部 48 の出力するアドレスは、ラッチ回路 45 にラッチされたアドレスにセレクト 43 の出力する「-2」を加算した値になる。ケース B のこれ以降の説明において、2 音源構成の各音源の構成要件は、添字 a、b によって区別することとする。

【0076】まず、マスター側の音源 8a では、アドレス発生部 18a の加算器 50a において、アドレス整数部にスタートアドレスと補間カウンタからの補間カウンタ値とが加算され、ゲート回路 51a へ供給される。こ

の場合、2点補間であるため、補間カウンタ49aからは、「0」、「1」、「0」、「1」となるカウント値が出力される。また、音源が2つあるため（信号C2が「1」）、マスター側のゲート回路51aは前半の2点分の期間のみ開状態となり、タイムスロットT1、T2の2点分のアドレスデータが波形メモリ6へ供給される。一方、スレーブ側の音源8bにおいては、ゲート回路51bが後半の2点分の期間のみ開状態となるため、タイムスロットT3、T4の2点分のアドレスデータが波形メモリ6へ供給される。

【0077】つまり、ゲート回路51aおよび51bに inputsするアドレスとしては、加算器47の加算値「-2」も含めて、ラッチ回路45にラッチしたアドレスに対し「-2」、「-1」、「-2」、「-1」した値が、T1〜T4のタイムスロットにて供給されている。マスター側のゲート回路51aではこのうちの前半の2スロット分を出力し、スレーブ側のゲート回路51bでは後半の2スロット分を出力する訳であるが、マスター側もスレーブ側もそれぞれに許された波形メモリの2スロット分のアクセス時間において、ラッチ回路45にラッチしたアドレスに対し「-2」、「-1」した2つのアドレスを出力している。

【0078】波形メモリ6からはマスター側の出力した前2つと、スレーブ側の出力した後2つの4スロット分のアドレスデータに従って、4点分の波形データが読み出され、マスター側の音源8aの補間部19aへ供給されるとともに、スレーブ側の音源8bの補間部19bへ供給される。この場合、マスター側の補間部19aでは、マスター信号MCが「1」であるため、タイムスロットT1においては、セクタ105からビット反転器104が出力するビット反転されたアドレス小数部が出力され、また、第2のタイムスロットT2においては、直接供給されるアドレス小数部が出力される。この操作により、マスター側の音源8aに対する2点補間の係数が供給され、残りのT3とT4のタイムスロットでは、セクタ105はいずれの入力も選択しない（すなわち、「0」を出力する）。

【0079】同様に、スレーブ側の補間部19bでは、マスター信号MCが「0」であるため、前半のT1とT2のタイムスロットでは「0」を出力し、さらにタイムスロットT3においては、ビット反転器104から供給されるビット反転されたアドレス小数部が出力され、また、次のタイムスロットT4においては、直接供給されるアドレス小数部が出力される。この操作により、1チャンネルの4スロットのうちの後半2スロットにおいてスレーブ側の音源8bに対する2点補間の係数が供給される。

【0080】一方、マスター側の補間部19aの遅延回路106aには、上述した波形メモリ6から読み出された4点分の波形データが順次供給される。そのうちの

半の2スロットで供給される2点分の波形データに対し、乗算器107aにおいて、上記対応する補間係数が乗算された後、補間累算器108aによって累算され、補間された波形データとして図1に示すエンベロープ乗算部21aへ供給される。同様に、スレーブ側では、波形メモリ6から読み出された波形データのうち、後半の2スロットに読み出された2点分の波形データに対して、乗算器107bにおいて、上記対応する補間係数が乗算された後、補間累算器108bによって累算され、補間された波形データとして、音源8bのエンベロープ乗算部21bへ供給される。

【0081】また、各音源8a、8bでは、エンベロープ発生部20a、20bにおいて、エンベロープ制御レジスタ17a、17bから供給されるエンベロープ制御信号に応じて、各32チャンネル分のエンベロープ（合計64チャンネル）が順次生成され、該エンベロープは上記エンベロープ発生乗算部21a、21bへ供給される。そして、エンベロープ乗算部21a、21bにおいて、各時分割チャンネルの上記補間された波形データに、上記エンベロープが付与され、チャンネル累算部22a、22bにおいて、32チャンネル分の波形データがミキシングされて、DAC23a、23bによりアナログ信号に変換された後、サウンドシステム10a、10bにおいて楽音として発音される。なお、上述したケースBの構成では、発音される楽音のピッチに制限はない。

【0082】（8-3）ケースC

次に、図2（c）に示すように、1つの音源8に対して、外付け回路7を1つ装着した場合について説明する。この場合には、外付け指示信号OP=1、チップ信号C2=0、およびマスター信号MC=1となり、4点補間で、32チャンネル分の発音が行なわれる。なお、この場合には外付け回路7が装着されているので、各時分割チャンネルで非圧縮波形データもしくは圧縮波形データの双方に対して楽音の発音が可能である。

【0083】まず、アドレス発生部18では、オフセット発生部36に供給される外付け指示信号OPが「2」となるため、タイムスロットT1〜T4において出力されるオフセット値は、順次、「+4」、「+2」、「0」、「+4」となる。したがって、アドレスRAM38においては、第1のタイムスロットT1において、4チャンネル分先のチャンネルのアドレスデータがアドレスRAM38から読み出され、出力端DOからラッチ回路39にラッチされる。

【0084】次に、次の第2のタイムスロットT2においては、オフセット値が「2」であるため、2チャンネル分先のアドレス整数部がアドレスRAM38から読み出され、ラッチ回路45にラッチされる。そして、第3のタイムスロットT3においては、オフセット値が「0」であるため、自身のチャンネルのアドレス小数部

がアドレスRAM38から読み出されて、ラッチ回路46にラッチされる。このタイムスロットT2、T3の間に、タイムスロットT1においてラッチ回路39にラッチされた、4チャンネル分先のアドレスデータのアドレス整数部が全加算器31へ供給され、アドレス小数部が全加算器32へ供給される。そして、Fナンバ発生部30からピッチデータに従って読み出されたFナンバと加算されて、更新されたアドレスデータ（整数部、小数部）は、アドレス制御部34にて、制御データに応じた制御を施された後に、アドレスRAM38の入力端DIへ供給される。

【0085】そして、第4のタイムスロットT4において、上記更新されたアドレスデータがアドレスRAM38の4チャンネル分先のチャンネルに相当するアドレスに格納される。すなわち、この場合には、各チャンネルのアドレスデータの更新は、4チャンネル分未来のチャンネル処理におけるタイムスロットT1、T4で行なわれ、各チャンネルのアドレス整数部は、2チャンネル分未来のチャンネル処理におけるタイムスロットT2で出力されるとともに、アドレス小数部は該当チャンネルの第3のタイムスロットT3で出力される。

【0086】この場合、セレクト43から供給されるアドレス補正値は、各時分割チャンネルで読出す波形が圧縮波形であるかどうか（信号COMPが「1」かどうか）で変わってくる。圧縮波形の場合、セレクト43は、必ず、戻り量発生部42の出力する戻り量を選択する。一方、非圧縮波形では、2点補間も選択できるため、セレクト43において「-2」が選択される可能性もあるが、通常は、補間の精度の良い4点補間を使うので、セレクト43では、一定値「-3」を選択出力する。

【0087】ビット拡大部44においてビットが伸張された後、加算器47へ供給される。アドレス整数部には、上記加算器47において上記アドレス補正値が加算される。補正されたアドレス整数部は、シフトダウン部48に供給されるとともに、その最下位ビットは信号ODDとして、補間部19へ供給される。上記アドレス整数部は、圧縮波形データを読み出す場合には、圧縮信号COMPが「1」となるので、1ビット分、シフトダウンされた後、加算器50へ供給される。

【0088】上記2チャンネル前のアドレス整数部は、加算器50によって、スタートアドレスと補間カウンタからの補間カウンタ値とが加算され、ゲート回路51へ供給される。この場合、音源は1チップであるため、補間カウンタ49からは、各時分割チャンネルの4つのタイムスロットT1～T4にわたり、順次「0」、

「1」、「2」、「3」となるカウンタ値が出力される。また、ゲート回路51は全タイムスロットにわたって開状態となり、スタートアドレス+アドレス整数部+補間カウンタ値なる4点分のアドレスデータはゲート回

路51を介して波形メモリ6へ供給される。

【0089】前述したように、セレクト43から供給されるアドレス補正値が、各時分割チャンネルで読出す波形の圧縮状態に応じて異なっているため、ここで出力される4点分のアドレスデータも、それに応じて異なったデータが出力されている。まず、圧縮波形を再生中の時分割チャンネルで出力される4点分のアドレスであるが、先に説明したとおり、このアドレスは、既にデコードされた複数のサンプルのうちの最終サンプルの次の圧縮サンプル、すなわち次にデコードすべきサンプルを含むアドレスを先頭とする連続4アドレスになっている。つまり、各時分割チャンネルの最初のスロットで読まれた1データの中に、該次にデコードすべきサンプルが含まれており、さらに残り3スロットにわたり、それに引き続く3アドレス分のデータが読みだされる。一方、非圧縮波形を再生する時分割チャンネルの場合であるが、この時出力される4アドレスは、そのまま、4点補間のための4サンプルのアドレスになっている。既に説明したように、この4アドレスは、ラッチ回路45にラッチされたアドレスを最後の4点目のアドレスとする連続4アドレスになっている。

【0090】波形メモリ6からは上記アドレスデータに従って波形データ（4点分）が読み出され、外付け回路7へ供給される。外付け回路7においては、信号C2が「0」であるので、遅延回路56の出力、すなわち2タイムスロット分遅延した波形データ（4点分）がセレクト57から出力される（図11の「復調回路入力」を参照）。次に、圧縮波形を再生中の時分割チャンネルにおけるセレクト58の動作を説明する。セレクト58からは、信号ODDが「0」のときには、該時分割チャンネルの4タイムスロットで、順次、入力端A、D、C、Eの順で波形データが出力される。この結果、図7（a）に示すように、順次、第1の波形データ（I）、第2の波形データ（II）、次に、第3の波形データ（III）、そして、第4の波形データ（IV）が出力される。これに対して、信号ODDが「1」のときには、セレクトからは、同4タイムスロットで、入力端B、A、D、Cの順で波形データが出力される。セレクト58から出力された波形データ（各8ビット）は、順次、ノンリニア拡張部63へ供給され、16ビットデータに変換された後、図8に示す復調回路64へ供給される。

【0091】一方、セレクト57から非圧縮波形が出力される時分割チャンネルにおいては、セレクト58が入力端Aを選択出力すると共に、ゲート62が開かれ、セレクト57の出力する下位8ビットと、ゲート62の出力する上位8ビットが合成され、セレクト57の出力した16ビットのデータがそのままノンリニア拡張部63に供給される。ノンリニア拡張部63は、この16ビットの非圧縮波形に対しては、何も処理も施せずそのまま復調回路64に出力する。

【0092】2次LPCの圧縮波形を再生する時分割チャンネルにおける復調回路64の動作を説明する。復調回路64では、1つ過去のチャンネルの再生処理において、バッファRAM70から既に再生済の波形データのうちの最後の4点分が読み出されて、新しい順に、順次ラッチ71、72、73、74に保持されている。そして、セレクト75〜78における現チャンネルの第1のタイムスロットにおいて、下段のセレクト75〜78が第1の入力端（上段の入力端）、すなわち上記ラッチ71〜74によって保持された波形データを順次後段の遅延回路83〜86へ出力する（図11の「セレクトa」の「上」を参照）。各セレクト75〜78から出力されたデータは、遅延回路83〜86によって1タイムスロット分遅延された後、再び、前段のセレクトの第3の入力端へ供給される。特に、セレクト75、76の出力は、乗算器87、88において、係数A0、A1が乗算された後、加算器89で加算され、ゲート90（圧縮波形の場合、オープン）、加算器91を介して、遅延回路92により遅延された後、セレクト75の第2の入力端へ供給される。

【0093】前述したように、セレクト75で選択出力されているデータは、1つ前に復調再生された波形データであり、セレクト76の出力データは2つ前に復調された波形データであるので、それらに係数A0、A1を乗じて、加算器91で入力してくる圧縮波形データに加算することにより、2次のLPC圧縮されたデータが復調され、加算器91から復調された波形データが順次出力される。なお、入力する波形がDPCM圧縮の圧縮波形の場合は、その時分割チャンネルの該係数A0、A1として、それぞれ、「1」、「0」の値を供給してやればよい。

【0094】そして、次のタイムスロットにおいて、各セレクト75〜78は、アドレス発生部18から供給されるインクリメント信号INC1の状態に応じて、第2もしくは第3の入力端に供給されるデータを後段の回路へ出力する（図11の「セレクトaのx1」を参照）。インクリメント信号INC1が「1」のときには、第2の入力端に供給されるデータが選択的に後段の回路へ出力され、インクリメント信号INC1が「0」のときには、第3の入力端に供給されるデータが選択的に後段の回路へ出力される。すなわち、インクリメント信号INCが「1」のときには、データを更新する必要がある場合であり、各セレクトの前段のディレイから供給されたデータを後段のディレイに出力することになる。一方、インクリメント信号INC1が「0」のときには、データを更新する必要がない場合であり、セレクトの後段のディレイから出力されたデータを再びそのディレイに戻し、前のタイムスロットにおいて各ディレイの出力していたデータを再び出力することになる。以下、インクリメント信号INC1からインクリメント信号INC3ま

で、各インクリメント信号の状態に応じて上記処理が行なわれる（図11の「セレクトa」および「インクリメント信号INC」を参照）。

【0095】すなわち、復調回路64の加算器91に対し、ノンリニア拡張部からは4サンプル分の8ビット圧縮波形データが順次供給され、一方、音源8のINC発生部41からはデコードすべき圧縮波形データの数のパルスがINC信号として供給されているので、該信号INC1〜INC3の中の「1」の信号数だけ順送りが行われ、加算器91から出力される復調サンプルがディレイ92を通過した後にディレイ群83〜86に順次取り込まれる。なお、下段のセレクト75〜78における当該時分割チャンネルの処理は、この信号INC3のタイムスロットで終了し、次のタイムスロットからは次の時分割チャンネル処理に移行する。一方、上段のセレクト93〜96においては、当該時分割チャンネルの処理を、次の信号INC4のタイムスロットから連続4タイムスロット分の期間行う。

【0096】そして、インクリメント信号INC4が供給されると、上段のセレクト93〜96は、該インクリメント信号INC4に応じて、当該タイムスロットにおいて第2もしくは第3の入力端へ下段の遅延回路83〜86から供給されたデータを選択的に後段の遅延回路97〜100へ出力する（図11の「セレクトb」および「インクリメント信号INC」を参照）。すなわち、インクリメント信号INC4が「1」のときには、データを更新する場合であって、第2の入力端へ供給されるデータ、すなわち下段のディレイ92、83、84、85の出力する波形データがそれぞれ選択的に後段の遅延回路97〜100へ出力される。一方、インクリメント信号INC4が「0」のときには、データを更新する必要がない場合であり、第3の入力端へ供給されるデータ、すなわち下段のディレイ83〜86の出力する波形データがそれぞれ選択的に後段の遅延回路97〜100へ出力される。

【0097】信号INC4のタイムスロットでディレイ97〜100に取り込まれる4サンプル分の波形データのうち、4スロットのINC信号のうちの「1」であったスロット数と同じ数のサンプルが、今回の時分割チャンネルの処理で新たに復調されたデータであり、残りはそれ以前の同時分割チャンネルの処理で既に復調されていたデータである。この4サンプル分の再生波形データが、続く連続4スロットの期間にわたって、復調回路64から出力されると同時に、当該チャンネルの過去に再生された4サンプル分のデータとして波形サンプルバッファRAM70の当該チャンネルに対応した位置に順次書き込まれる。

【0098】したがって、信号INC4の次のタイムスロット以降、上段のセレクト93〜96は常時第1の入力端（上段の入力端）へ供給されるデータを選択し、後

段の遅延回路97~100へ順次出力する(図11の「セクタb」を参照)。すなわち、セクタ93は「0」を出力し、セクタ94~96は、前段の遅延回路からのデータを後段の遅延回路へ出力する。したがって、最終段の遅延回路100からは、順次、復調された4点分の波形データが古い順に出力され、バッファRAM70へ順次書き込まれるとともに、復調回路64の出力波形データとして出力される(図11の「バッファRAM」を参照)。

【0099】次に、非圧縮波形を再生する時分割チャンネルにおける復調部64の動作について説明する。4点補間を行うということであったので、当該時分割チャンネルにおいて、復調部64には、ノンリニア拡張部より、補間に必要な4点分のH圧縮波形データが順次供給される。この場合、1音源構成(信号C2が「0」)で、当該チャンネルについて4点補間(信号P2が「0」)かつ非圧縮波形(信号COMPが「0」)であるので、INC信号発生部は全4パルスが発生する。復調回路64の動作は、前述した圧縮波形のチャンネルの場合と同様であるが、この場合、信号COMPが「0」であるのでゲート90は閉じた状態となり、加算器91からはその片方の入力に順次供給される4点分の非圧縮データがそのまま出力される。加算器91を通過した非圧縮波形データは、まず、先の3点分が全て「1」である信号INC1~3に応じてディレイ83~85に順送りて取り込まれ、続く「1」の値の信号INC4によって、最後に入力される4点目の波形データと共に上段ディレイ97~100に取り込まれる。取り込まれた4点分の非圧縮波形データは、圧縮波形データの場合と同じ4スロット分のタイミングで、順次ディレイ100から出力され、バッファRAM70に書き込まれると同時に、復調回路64の出力波形データとして出力される。

【0100】上記復調回路64によって復調された4点分の波形データは、図1に示す音源8の補間部19へ供給される。この場合、4点補間であるので2点補間信号P2が「0」となっている。したがって、補間部19のセクタ105は、第1の入力端(上段の入力端)に供給される係数メモリ103からの補間係数を出力する(図12の「4点補間時(P2=0)」を参照)。そして、各波形データは、乗算器107において、上記対応する補間係数が乗算された後、補間累算器108で累算され、各時分割チャンネルの補間された波形データとして図1に示すエンベロープ乗算部21へ供給される。

【0101】一方、エンベロープ発生部20では、エンベロープ制御レジスタ17から供給されるエンベロープ制御信号に応じて、32チャンネル分のエンベロープが順次生成され、該エンベロープは上記エンベロープ発生乗算部21へ供給される。そして、エンベロープ乗算部21において、各時分割チャンネル毎に、上記補間された波形データに、上記エンベロープが付与され、チャン

ネル累算部22において、32チャンネル分の波形データがミキシングされて、1サンプリング周期毎のミキシング波形データを生成し、DAC23によりアナログ信号に変換された後、サウンドシステム10において楽音として発音される。

【0102】なお、上述したケースCの構成では、16ビットデータ(非圧縮)の場合には、発音される楽音のビッチに制限はなく、8ビットデータ(圧縮)の場合には、200KHzまで(すなわち、Fナンバが「4」以下)のビッチ制限が生じる。なぜならば、本実施例では、各時分割チャンネル毎に、最大4点の圧縮波形データまでしかデコードできず、かつ、圧縮波形データをデコードする時には、飛ばし読みは許されないからである。

【0103】(8-4) ケースD

次に、図2(d)に示すように、2つの音源8a、8bに対して、その各々に1つの外付け回路7a、7bを装着した場合について説明する。この場合には、マスター側の音源8aに対しては、外付け指示信号OP=2、チップ信号C2=1、およびマスター信号MC=1となる一方、スレーブ側の音源8bに対しては、外付け指示信号OP=2、チップ信号C2=1、およびマスター信号MC=0となる。この場合、音源8a、8bでは、4点補間で、32チャンネル分の発音が行なわれ、全体として計64チャンネル分の発音が行なわれる。

【0104】まず、マスター側の音源8aにおけるアドレス発生部18aでは、オフセット発生部36aに供給される外付け指示信号OPが「2」となるため、タイムスロットT1~T4において出力されるオフセット値は、順次、「+4」、「+2」、「0」、「+4」となる。したがって、タイムスロットT1においては、4チャンネル分先のチャンネルのアドレスデータがアドレスRAM38aから読み出され、ラッチ回路32aによってラッチされる。

【0105】次に、タイムスロットT2においては、オフセット値が「2」であるため、2チャンネル先のアドレス整数部がアドレスRAM38aから読み出され、ラッチ回路39aによってラッチされる。そして、タイムスロットT3においては、オフセット値が「0」であるため、自身のチャンネルのアドレス小数部がアドレスRAM38aから読み出されて、ラッチ回路46によってラッチされる。このタイムスロットT2、T3の間に、タイムスロットT1において、ラッチ回路39にラッチされた、4チャンネル分先のアドレスデータは、そのアドレス整数部が全加算器31aへ供給され、アドレス小数部が全加算器32aへ供給される。そして、Fナンバ発生部30aが出力するFナンバと加算されて更新され、更新されたアドレスデータ(整数部、小数部)は、アドレス制御部34aにおいて、アドレス制御データに応じた処理を施された後、アドレスRAM38aの入力

端D1へ供給される。

【0106】そして、タイムスロットT4において、上記更新されたアドレスデータがアドレスRAM38aの4チャンネル分先のチャンネルに相当するアドレスに格納される。すなわち、この場合には、各チャンネルのアドレスデータの更新は、4チャンネル分未来のチャンネル処理におけるタイムスロットT1、T4で行なわれ、各チャンネルのアドレス整数部は、1チャンネル分未来のチャンネル処理におけるタイムスロットT2で出力されるとともに、そのアドレス小数部は、該当チャンネルのタイムスロットT3で出力される。

【0107】この構成の場合、外付け回路7a、7bのデコード機能により圧縮波形も再生可能であり、さらに、非圧縮波形の再生において、外付け回路7a、7bから過去サンプルを供給して4点補間を行うことが可能である（ちなみに、圧縮波形では必ず4点補間を行い、2点補間は選択されない）。ただし、該過去サンプルの供給において、Fナンバが「2」を越える場合は新規サンプルの供給が追い付かなくなるため、非圧縮波形の補間を2点補間に設定する。また、圧縮波形のデコードについては、やはり新規サンプルの供給スピードの理由によりFナンバが「3」以下に制限される。このそれぞれの場合について、ラッチ回路45以降の働きが異なるので、それぞれの場合について説明する。

【0108】まず、圧縮波形再生の場合であるが、この時のセレクト43aおよびシフトダウン部48aの働きは、1音源構成の場合と全く同じであり、セレクト43aは補正值として戻り量発生部42aの出力する戻り量を選択出力し、シフトダウン部48aでは、1ビットのシフトダウンが行われる。半加算器33aの算出したアドレス進み量 $\Delta 1$ は、上述した理由により値が「3」以下に制限されており、その値 $\Delta 1$ に応じて、戻り量発生部42aは、戻り量を発生するし、INC発生部41aは同数のパルスを発生する。加算器50aには、シフトダウン部より1音源構成の場合と同じ値のアドレスが供給されるが、今度の場合は信号C2が「1」であるため、補間カウンタ49aからは1時分割チャンネルの4スロットにわたり、「0」、「1」、「0」、「1」を供給する。マスター側ではその内の前半の2スロットで波形メモリをアクセスし、先程と同様、既にデコードされたサンプルの次の、次にデコードすべき圧縮サンプルを含む16ビットデータのアドレスと、該アドレスの次のアドレスが、前半の2スロットにて順次ゲート回路51aから出力され、波形メモリ6へ供給される。

【0109】次に、非圧縮波形4点補間の場合であるが、通常の4点補間の場合と異なり、セレクト43aは戻り量発生部42aの発生する戻り量を選択出力する。直前の圧縮波形の再生の場合と同様、半加算器33aの算出するアドレス進み量 $\Delta 1$ は、値が「2」以下に制限されており、その進み量 $\Delta 1$ に応じて、戻り量および1

NC信号が生成される。加算器47aにて、ラッチ回路45aにラッチされたアドレスに戻り量が加算され、加算器47aの計算結果であるところの次に読み出すべき非圧縮波形のアドレス（スタートアドレスからの相対アドレス）が出力され、該アドレスは、信号COMPが「0」であるので、シフトダウン部48aを何ら処理を受けることなく通過し、加算器50aに入力する。補助カウンタ49aからは、先と同様、1時分割チャンネルの4スロットにわたり、「0」、「1」、「0」、「1」が順次出力されており、ゲート回路51aでは、加算器50aにおける加算結果のうちの前2スロットを出力する。

【0110】この外付け回路7aによるサンプル供給を受けた4点補間の場合、外付け回路7aのバッファRAM70aの中に過去の当該時分割チャンネルで読み出した4点分の非圧縮波形データがそのまま収納されており、各時分割チャンネルで新たに読み出した波形データとバッファRAM70aの過去に読み出した4点分の波形データから、補間に必要な4点分の波形データを得るようになっている。ここで、加算器47の出力は、バッファRAM70aに記憶された4点分の波形データに続く、次の波形データの相対アドレスである。マスター側の音源では、前半の2スロットを用いてバッファRAM70aに記憶された波形データに続く、次の波形データとともにその次の波形データを波形メモリ6から読み出すようになっている。同時に、INC発生器41aからは、アドレス進み量 $\Delta 1$ に応じてインクリメント信号INC1～INC4を順次発生する。該信号INC1～INC4は、その読み出された波形データのうちのいくつかを外付け回路7に取り込むかを示すパルス信号である。前述したようにアドレスの進み量 $\Delta 1$ は、「2」以下であるので、信号INC3、INC4は必ず「0」になる。

【0111】最後に、非圧縮波形を2点補間する場合であるが、先に説明した2音源構成の場合と全く同じである。つまり、セレクト43aは一定値「-2」を選択出力し、シフトダウン部48aは入力するアドレスをそのまま出力し、補間カウンタ49aは「0」、「1」、「0」、「1」を出力し、ゲートはマスター側において前半の2スロットのみ開く。したがって、動作の詳細についての説明は省略する。ただし、INC発生部は、通常と異なり、マスター側にて「1」、「1」、「1」、「1」を、スレーブ側にて「0」、「0」、「1」、「1」を、それぞれ時分割チャンネルの4スロットの期間に出力している。このインクリメント信号は、外付け回路7a、7bから補間部19a、19bに対し、波形データを出力する出力タイミングを、マスター側、スレーブ側それぞれに適したタイミングで調整している。

【0112】一方、スレーブ側の音源8bにおいても、マスター側の音源8aと同様の動作により、2点分のアドレスデータが生成され、波形メモリ6へ順次供給され

る。ただし、スレーブ側の音源8bでは、最終段のゲート回路51bが後半の2タイムスロットだけ開状態となるため、後半の2点分のアドレスデータが出力されることになる。

【0113】波形メモリ6からは上記アドレスデータ（マスター用の2点、スレーブ用の2点）に従って波形データが順次読み出され、前半の2点分の波形データがマスター側の音源8aに対する外付け回路7aへ供給され、後半の2点分の波形データがスレーブ側の音源8bに対する外付け回路7bへ供給される。

【0114】マスター側の外付け回路7aにおいては、セレクト57aで遅延回路56aの出力を選択する。一方、スレーブ側ではセレクト57bは遅延回路55bの出力側を選択する。この様子が、図11の2チップ時（マスター／スレーブ）に示されている。波形メモリの各時分割チャンネルの4つのタイムスロットで取り込まれたデータをそれぞれI、II、III、IVとすると、マスター側ではその前半の2スロット分のデータI、II、スレーブ側では後半の2スロット分のデータIII、IVをそれぞれ取り込むわけである。図11によると、セレクト57aの出力するデータI、IIのタイミングと、セレクト57bの出力するデータIII、IVのタイミングが丁度同じタイミング（1時分割チャンネルの4スロットのうちの前半2スロット）になるよう制御されているわけである。つまり、このセレクト57a、57b以降の復調回路64a、64bのところまではマスター／スレーブとも同一のタイミングで動作している。

【0115】セレクト57a、57bから出力されたデータは、それぞれ、その後につながるセレクト58a、58b～復調回路64a、64bにおいて所定の処理を施されつつ通過するわけである。圧縮波形についてのこの部分での処理は、既に、外付け回路7付き1音源構成のところでも述べたものと全く同じであり、説明を省略する。

【0116】次に、非圧縮波形を再生する時分割チャンネルの場合の説明を行う。セレクト57a、57bを通過した非圧縮波形の波形データは、外付け回路7付き1音源構成のところでも前述した非圧縮波形の場合と同様、何ら処理を施されずに復調回路64a、64bに入力する。4点補間と2点補間の場合がありえるが、ここまではどちらも同じである。

【0117】先に復調回路64a、64bにおける非圧縮波形の4点補間用過去サンプル供給の処理について説明する。この場合、バッファRAM70a、70bには当該時分割チャンネルで過去に読み出され補間に使用された4点分の波形データが記憶されている。今回の時分割チャンネルで波形メモリ6から読み出されたデータが加算器91a、91bに入力する前のタイミング（図11のバッファRAMのDOのタイミング）において、該

4点分の波形データがバッファRAM70a、70bから読み出され順次ラッチ71a、71b～74a、74bにラッチされる。ラッチされた各データは、次の図11のセレクトa「上」のタイミングでセレクト75a、75b～78a、78bにより選択され、ディレイ83a、83b～86a、86bに供給される。

【0118】図11に示されるように、そのタイミングから、順次新たな読み出しデータが加算器91a、91bに入力するが、この時、信号COMPが「0」であるので、ゲート90a、90bは閉じており、入力した非圧縮波形データはそのままディレイ90a、90bにそれぞれ供給される。先に述べたとおり、インクリメント信号INCとして、新たに取り込むべき波形データの数だけパルスが供給されているので、セレクトaのX1とX2のタイミングにおいて、該信号INC1～INC2にに応じたシフトを行い（信号INC3～INC4は必ず「0」）、信号INC4のタイミングでセレクト93a、93b～96a、96bの第3の入力端からディレイ97a、97b～100a、100bに供給され、その後、該上段のディレイ97a、97b～100a、100bで順送りすることにより、ディレイ100a、100bの出力がバッファRAM70a、70bに再び供給され書き込まれるとともに、復調部64a、64bの出力として補間部19a、19bにそれぞれ供給される。この出力されるデータは、結局、もともとバッファRAM70a、70bに入っていた過去に4点補間に使用した4点分の波形データを、信号INC1～INC2に応じて新たに波形メモリ6から読み出した波形データで更新した4点分の波形データが、今回の補間に使用する4点分の波形データということになり、復調部64a、64bから出力されるとともに、次の処理のためバッファRAM70a、70bに書き込まれる。

【0119】次に、圧縮波形を再生している場合であるが、先に説明した通り、セレクト57a、57bの働きによりスレーブ側の入力波形のタイミングがマスター側の1音源構成の場合と同じタイミングに揃えられ、セレクト58a、58bで1音源構成の場合と同じに8ビットデータに分離しているので、復調回路64a、64bに入る圧縮波形の態様は、先に説明した外付け回路7付き1音源構成の場合と全く同じになる。したがって、ノンリニア拡張部63a、63bで拡張された圧縮波形は、復調回路64a、64bにおいて、その場合と同様に復調、出力される。

【0120】最後に、非圧縮波形を2点補間する場合について説明する。上記の場合と同様、セレクト57a、57bにてマスター側とスレーブ側のデータが同一タイミングになるように制御され、そのまま、セレクト58a、58bおよびゲート62a、62bとノンリニア拡張部63a、63bを通過して復調回路64に入力する。復調回路64a、64bの出力が入力する補間部1

9 a、19 bでは、2音源構成で外付けがある場合と無い場合とで、処理のタイミングが一緒であるので、復調回路64 a、64 bでは、その同一タイミング化されたデータを、マスター側、スレーブ側で異なるタイミングにもう一度直して出力する必要がある。この場合、復調回路64 a、64 bには、1チャンネル4タイムスロット分のインクリメント信号INCとして、マスター側に「1」、「1」、「1」、「1」が、スレーブ側に「0」、「0」、「1」、「1」が供給されている。復調回路64 a、64 bの各構成要素の働き自体はいままでの説明と同じであるが、このインクリメント信号INCにより、該異なるタイミングに直す処理が行われる。すなわち、各時分割チャンネルの4タイムスロットの前半2スロットに入っている2点分の非圧縮波形データは、マスター側復調回路64 aの出口では各時分割チャンネルの前半2スロット、スレーブ側復調回路64 bの出口では後半2スロットの、それぞれ異なるタイミングに入っている。

【0121】先に説明した通り、図4には、外付け回路7有りの場合の2チャンネル時間分先にiチャンネルのアドレス発生している様子が示されている。一方、図11には、メモリアドレスとして、その2チャンネル時間分先出しされたアドレスが示されており、波形メモリ6から読み出されたデータは、このタイミングで外付け回路7に取り込まれる。取り込まれたデータは、図11の出力として描かれているタイミングで外付け回路7より出力される。すなわち、この図11には、外付け回路7に波形メモリの読み出しデータが入力されてから補間部19に波形データが出力される間での2チャンネル分の時間遅れが生じる様子が示されている。図4の2チャンネル分先出しされたアドレスに対応した波形データは、外付け回路7からそのチャンネル分後、つまり図4における外付け回路のない場合の読み出しタイミングと同じタイミングにて出力される。

【0122】補間部19 a、19 bの各時分割チャンネルの4スロットの各入力タイミングにおける波形データは、上述してきた補間の各場合ごと、外付け回路が装着されていないときと、装着されているときとで変らない。したがって、補間部19 a、19 bは、外付け回路が装着されているか装着されていないかを気にすることなく、指定された補間方法で補間を実行し、各時分割チャンネル毎に1つの補間された波形データを出力する。

【0123】一方エンベロープ発生部20 aでは、エンベロープ制御レジスタ17 aから供給されるエンベロープ制御信号に応じて、32チャンネル分のエンベロープが順次生成され、該エンベロープは上記エンベロープ発生乗算部21 aへ供給される。そして、エンベロープ乗算部21 aにおいて、各時分割チャンネル毎に、上記補間された波形データに、上記エンベロープが付与され、チャンネル累算部22 aにおいて、32チャンネル

分の波形データがミキシングされて、DAC23 aによりアナログ信号に変換された後、サウンドシステム10において楽音として発音される。

【0124】なお、上述したケースDの構成では、16ビットデータ（非圧縮）の場合には、100 KHzまでのピッチ制限が生じ、8ビットデータ（圧縮）の場合には、150 KHzまでのピッチ制限が生じる。また、この構成では2点補間も可能であり、この場合、16ビットデータ（非圧縮）ではピッチ制限がなくなる。また、音源を2チップとした場合には、いずれか一方にのみ、外付け回路を装着するようにしてもよい。

【0125】

【発明の効果】以上、説明したように、請求項1記載の発明によれば、波形データを記憶する波形メモリと、複数時分割チャンネル毎にアドレスを生成し、該アドレスによって前記波形メモリから読み出された、各時分割チャンネル毎にn個の波形データに基づいて複数時分割チャンネル分の楽音を生成する第1の楽音生成手段とを備える楽音発生装置において、前記楽音発生装置の構成に追加可能であって、前記第1の楽音生成手段とともに、前記波形メモリを共用する第2の楽音生成手段と、前記第2の楽音生成手段が追加される際には各時分割チャンネルにて読み出す必要のある波形データの数を前記n個より少ないm個に変更する読み出し数変更手段とを具備するようにしたため、波形メモリの共有化によって、波形メモリを追加することなく音源をユーザが追加可能にするとともに、音源を追加した場合に補間点数を落とすようにして、波形メモリへのアクセス回数を減らすことにより、波形データの読み出しに係る速度を抑えることができるという利点が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成を示すブロック図である。

【図2】 (a)は、1つの波形メモリに対して1つの音源を用いた場合の構成を示すブロック図、(b)は、1つの波形メモリを2つの音源が共有する構成を示すブロック図、(c)は、1つの波形メモリに対して1つの音源を用いて、かつ、外付け回路を介挿した場合の構成を示すブロック図、(d)は、1つの波形メモリを2つの音源で共有するとともに、各音源との間に外付け回路を介挿した場合の構成を示すブロック図である。

【図3】 本実施例におけるアドレス発生部18の構成を示すブロック図である。

【図4】 同実施例におけるアドレス発生のタイミングを説明するためのタイムチャートである。

【図5】 同実施例における外付け回路7の一構成例を示すブロック図である。

【図6】 同実施例における波形メモリのアドレッシングを説明するための概念図である。

【図7】 (a)～(c)は同実施例における16ヒッ

トの波形メモリ6から8ビットに圧縮された波形データの読み出し方を説明するための図である。

【図8】 同実施例における復調回路64の一構成例を示すブロック図である。

【図9】 同実施例における補間部19の一構成例を示すブロック図である。

【図10】 (a) は4点補間における補間係数を説明するための図であり、(b) は2点補間における補間係数を説明するための図である。

【図11】 同実施例における楽音発生装置の動作を説明するためのタイミングチャートである。

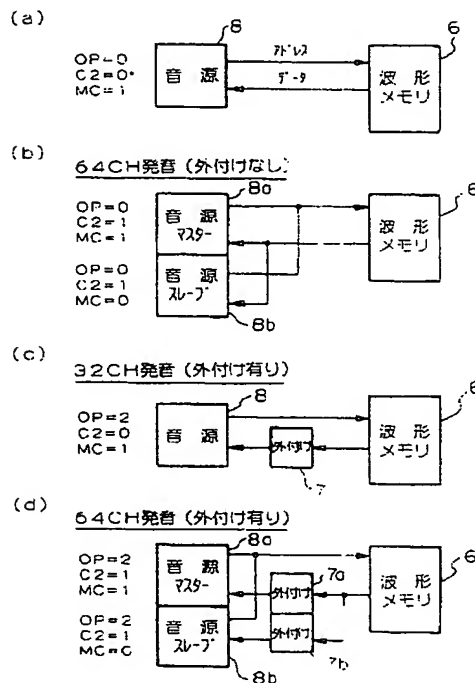
* AM。

*【図12】 同実施例における補間部19の動作を説明するためのタイミングチャートである。

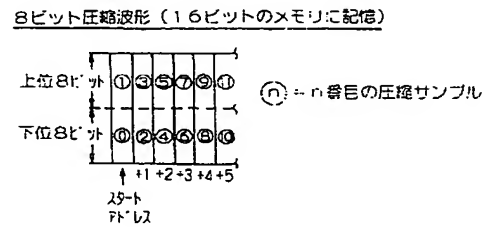
【符号の説明】

1……鍵盤、2……音色スイッチ、3……マイコン（制御部）、4……外付け指示部、5……2チップ指示部（読み出し数変更手段）、6……波形メモリ、7、7a、7b……外付け回路、8、8a……音源（楽音生成手段、第1の楽音生成手段）、8b……音源（楽音生成手段、第2の楽音生成手段）、18……アドレス発生部、19……補間部、70……再生サンプルバッファRAM。

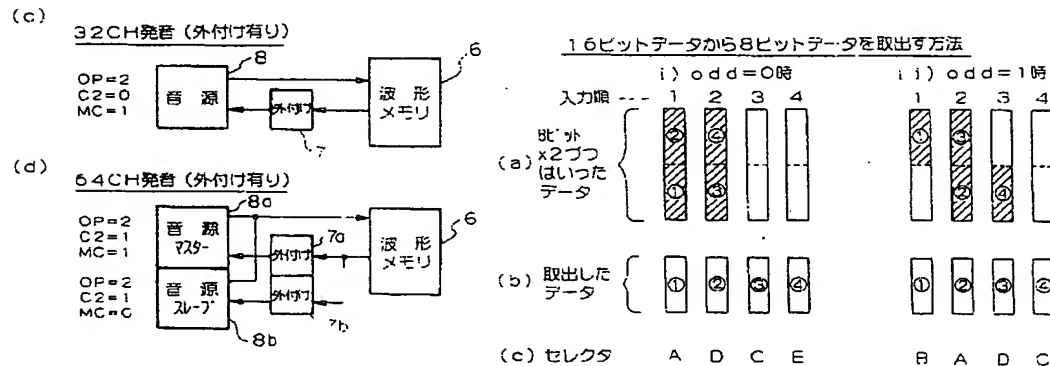
【図2】



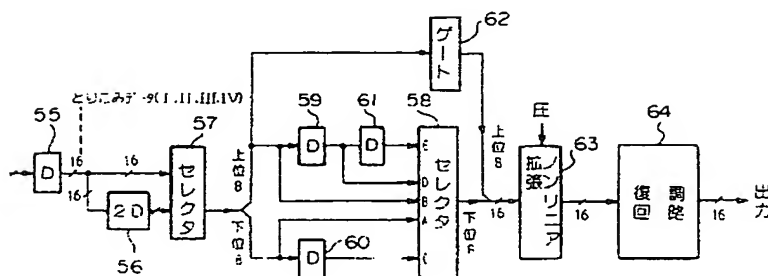
【図6】



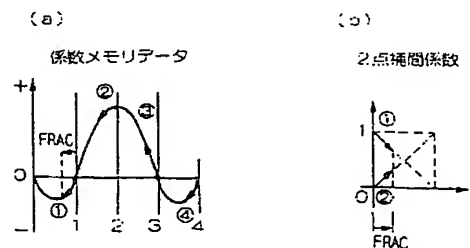
【図7】



【図5】

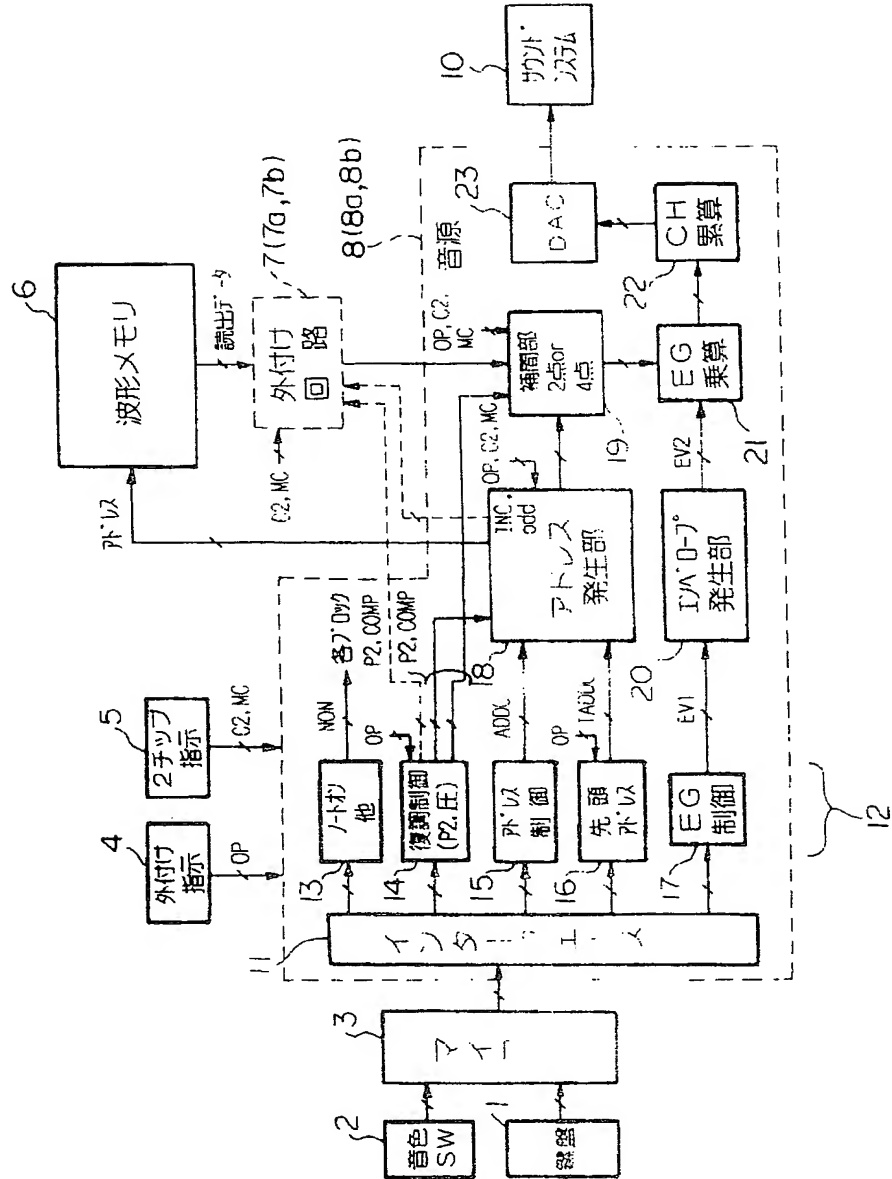


【図10】

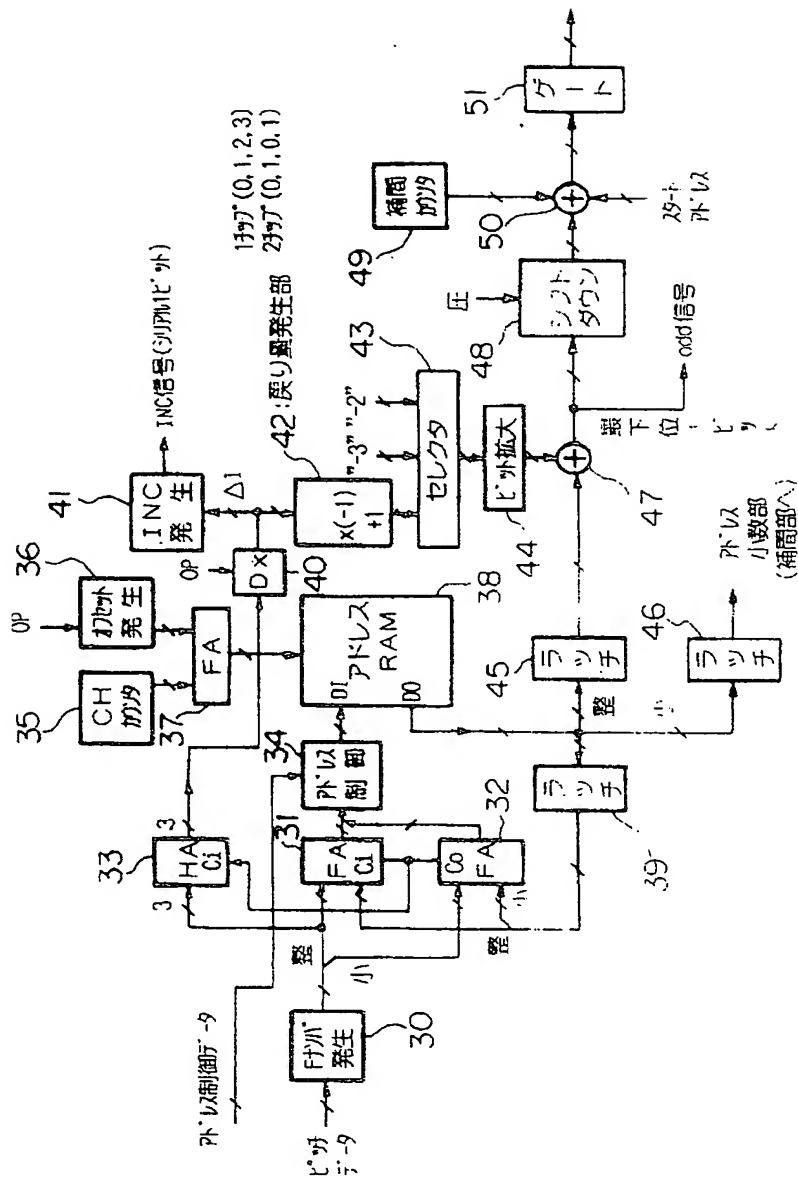


(20)

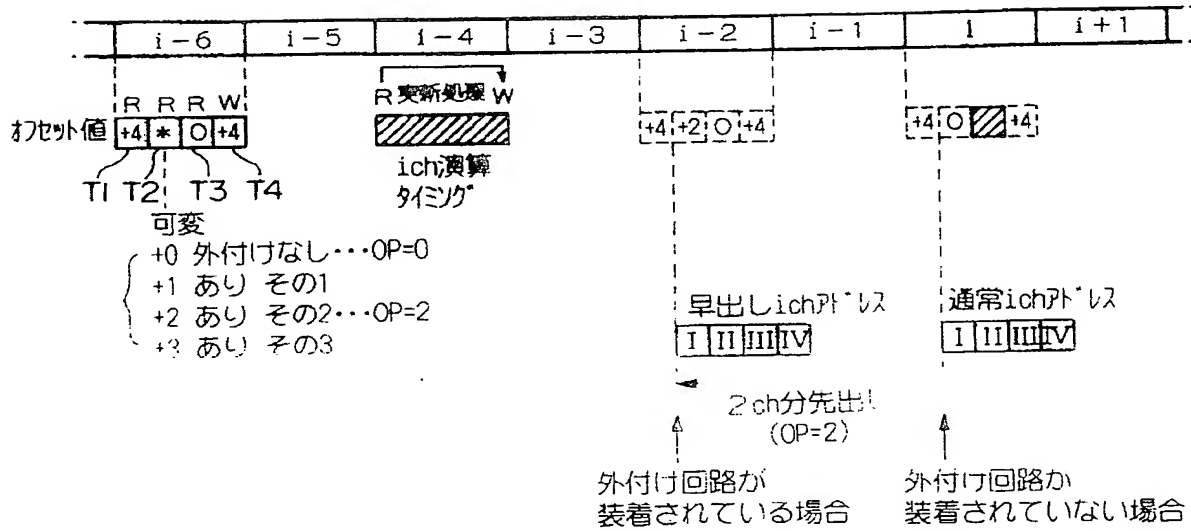
【図1】



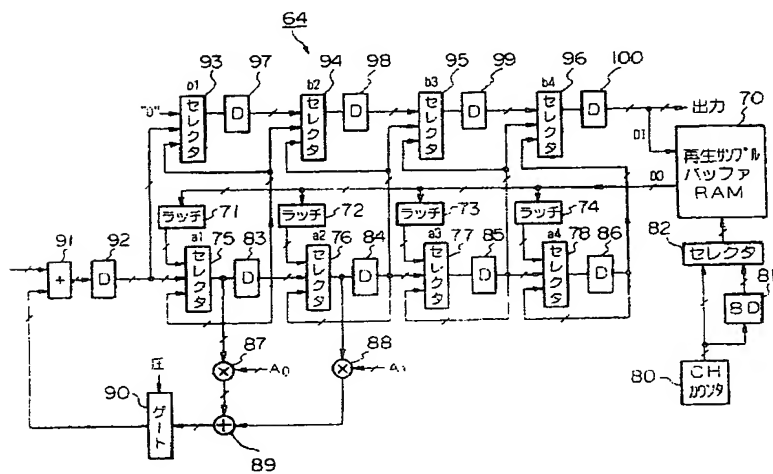
(図3)



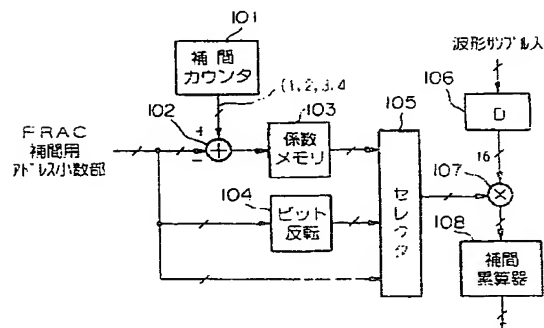
【図 4】



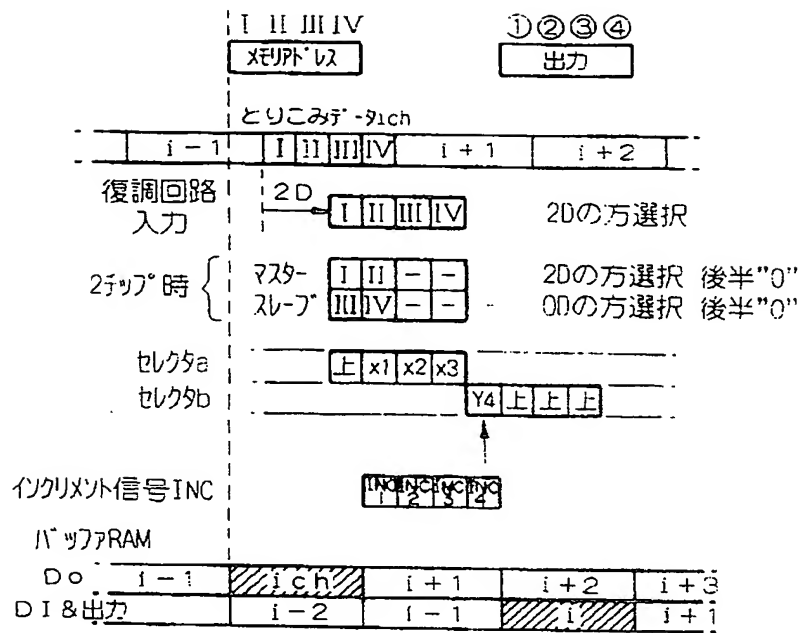
【図 8】



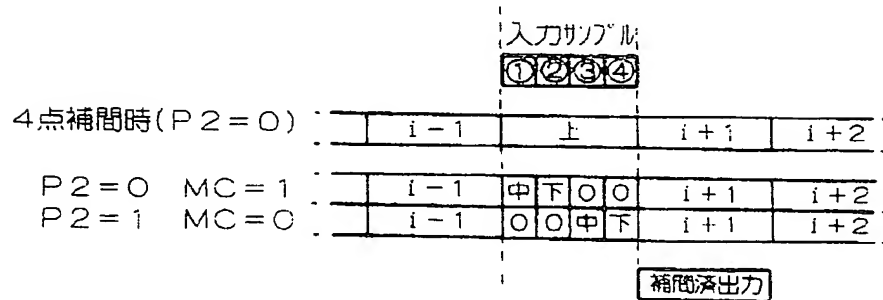
【図 9】



【図11】



【図12】



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3087744号

(P3087744)

(45) 発行日 平成12年 9 月11日 (2000. 9. 11)

(24) 登録日 平成12年 7 月14日 (2000. 7. 14)

(51) Int.Cl.⁷

識別記号

F I

G 1 0 H 7/02

G 1 0 H 7/00

5 2 1 T

5 2 1 K

請求項の数 1 (全 23 頁)

(21) 出願番号 特願平10-333308
(62) 分割の表示 特願平5-325266の分割
(22) 出願日 平成 5 年12月22日 (1993. 12. 22)

(65) 公開番号 特開平11-237885
(43) 公開日 平成11年 8 月31日 (1999. 8. 31)
審査請求日 平成10年12月14日 (1998. 12. 14)

(73) 特許権者 000004075
ヤマハ株式会社
静岡県浜松市中沢町10番 1 号
(72) 発明者 市来 哲二
静岡県浜松市中沢町10番 1 号 ヤマハ株
式会社内
(74) 代理人 100064908
弁理士 志賀 正武 (外 1 名)

審査官 千葉 輝久

(58) 調査した分野 (Int.Cl.⁷, D B 名)
G10H 7/02

(54) 【発明の名称】 楽音発生装置

1

(57) 【特許請求の範囲】

【請求項 1】 波形データを記憶しており、所定のタイムスロット毎にアクセスされる波形メモリと、複数時分割チャンネル動作をする第 1 の楽音生成手段であって、

(1) 前記時分割チャンネル毎に指定された音高に応じた速さで変化する、複数時分割チャンネル分のアドレスを生成するアドレス生成手段と、

(2) 前記複数時分割チャンネル分のアドレスに基づいて前記波形メモリを時分割アクセスし、各時分割チャンネル毎に n 個の波形データを読み出す読み出し手段と、

(3) 各時分割チャンネル毎に、読み出された前記 n 個の波形データに基づいて 1 つの楽音を生成することにより、複数時分割チャンネル分の複数楽音を生成する生成手段とからなる第 1 の楽音生成手段とを備える楽音発生

2

装置において、さらに、

前記楽音発生装置の構成に追加可能であって、前記第 1 の楽音生成手段とともに、前記波形メモリを共用する第 2 の楽音生成手段と、

前記第 2 の楽音生成手段が追加される際には、前記読み出し手段が各時分割チャンネルにて読み出す波形データの数を前記 n 個より少ない m 個に変更する読み出し数変更手段と、

10 前記第 2 の楽音生成手段が追加される際には、前記生成手段が各時分割チャンネルの楽音を生成するときに使用する波形データの数を前記 n 個から前記 m 個に変更する使用データ数変更手段とを備えており、

前記第 2 の楽音生成手段は、波形メモリの、前記読み出し数変更手段の動作により減らされた読み出し数に対応するタイムスロットを使用して前記波形メモリをアクセ

スすることを特徴とする楽音発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、波形メモリから時分割で読み出した波形データを複数の音源により発音する楽音発生装置に関する。

【0002】

【従来の技術】従来より、楽音発生装置には、波形メモリに波形データを記憶しておき、発音指示があると、上記波形データを所定の間隔で読み出し、該読み出した波形データに従って音源により楽音波形を形成し、楽音として発音するものが知られている。この楽音発生装置において、上記波形データを波形メモリから所定の間隔で読み出すということは、上記第1のサンプリング周波数で標準化され、波形メモリに記憶された波形データを、第2のサンプリング周波数に相当する速さで読み出すことである。したがって、上記波形データから第2のサンプリング周波数で標準化されるべき離散信号を順次推定し、所望する波形データを得る必要がある。上記離散信号の推定は、上記波形メモリから連続する複数の波形データを読み出し、これら波形データを補間することにより求められる。

【0003】

【発明が解決しようとする課題】ところで、上述したような従来の楽音発生装置においては、音源における楽音形成のための構成を時分割で動作させることにより、1つの音源で複数の楽音を発音可能としたものがある。楽音発生装置における発音数の増加は、1つの音源における時分割の周波数の増大や、さらに音源自体の数を増加させることによって行われている。一方、市場におけるユーザの多様なニーズに答えるため、音源を後で追加可能にした楽音発生装置が開発されている。

【0004】このような従来の音源を追加可能にした楽音発生装置においては、音源を追加する際に、発音数の増加に伴う波形データの読み出し周波数の増大を抑えるため、波形メモリから波形データを読み出しおよび波形データを補間して楽音を形成するための構成の追加に加え、波形メモリ自体も追加する仕様となっていた。そのため、音源を追加する際には、既存のものと同一の波形データを記録した波形メモリを追加することになり、それに伴うコストアップは音源の追加に要するコストアップ全体に対して大きな比率を占めていた。

【0005】この発明は上述した事情に鑑みてなされたもので、音源を増設可能とした楽音発生装置において、音源を増設する際のコスト増を従来に比べ抑えることのできる楽音発生装置を提供することを目的としている。

【0006】

【課題を解決するための手段】上述した問題点を解決するために、請求項1記載の発明では、波形データを記憶しており、所定のタイムスロット毎にアクセスされる波

形メモリと、複数時分割チャンネル動作をする第1の楽音生成手段であって、(1)前記時分割チャンネル毎に指定された音高に応じた速さで変化する、複数時分割チャンネル分のアドレスを生成するアドレス生成手段と、

(2)前記複数時分割チャンネル分のアドレスに基づいて前記波形メモリを時分割アクセスし、各時分割チャンネル毎にn個の波形データを読み出す読み出し手段と、

(3)各時分割チャンネル毎に、読み出された前記n個の波形データに基づいて1つの楽音を生成することにより、複数時分割チャンネル分の複数楽音を生成する生成手段とからなる第1の楽音生成手段とを備える楽音発生装置において、さらに、前記楽音発生装置の構成に追加可能であって、前記第1の楽音生成手段とともに、前記波形メモリを共用する第2の楽音生成手段と、前記第2の楽音生成手段が追加される際には、前記読み出し手段が各時分割チャンネルにて読み出す波形データの数を前記n個より少ないm個に変更する読み出し数変更手段と、前記第2の楽音生成手段が追加される際には、前記生成手段が各時分割チャンネルの楽音を生成するときに使用する波形データの数を前記n個から前記m個に変更する使用データ数変更手段とを備えており、前記第2の楽音生成手段は、波形メモリの、前記読み出し数変更手段の動作により減らされた読み出し数に対応するタイムスロットを使用して前記波形メモリをアクセスすることを特徴とする。

【0007】この発明によれば、波形メモリを共用する第2の楽音生成手段が追加されると、読み出し数変更手段によって、各時分割チャンネルにて読み出す必要のある波形データの数をn個より少ないm個に変更する。

【0008】

【発明の実施の形態】次に図面を参照してこの発明の実施例について説明する。

【0009】(1)全体構成

図1はこの発明の一実施例の構成を示すブロック図である。図において、1は鍵盤であり、白鍵および黒鍵からなり、各鍵の押離鍵を検出し、その状態を制御部3へ供給する。また、2は音色スイッチであり、楽音発生装置の操作パネル上へ設けられ、発音すべき楽音の音色が設定され、該設定された音色の情報は上記制御部3へ供給される。制御部3は、所定のプログラムにより楽音発生装置の各部を制御するものであって、例えば、マイクロコンピュータ等により構成される。

【0010】次に、外付け指示部4は、後述する外付け回路7が装着されると、外付け指示信号OPを音源に出力する。上記外付け指示信号OPは、外付け回路7が装着されていないときのみ「0」となり、外付け回路7が装着されているときには、「1」、「2」もしくは「3」の値をとる。「1」のときには外付け回路にて1チャンネル分の遅延が生じ、「2」のときには2チャンネル分の遅延が生じ、さらに、「3」のときには3チャ

ンネル分の遅延が生じることを示している。すなわち、外付け指示部4の出力する外付け指示信号OPは、アドレス発生部18が波形メモリにアドレスを出力してから、そのアドレスに応じた波形データが外付け回路を通して補間部19に入力するまでの外付け回路7における時間遅れに対応して設定される。

【0011】次に、2チップ指示部5は、音源8が2チップ装着されたときに「1」となるチップ信号C2と、マスターとなる音源（以下の説明では8aとする）に「1」、スレーブとなる音源（以下の説明では8bとする）に「0」となるマスター信号MCを音源8a、8bおよび外付け回路7に出力する。

【0012】波形メモリ6には、圧縮された波形データ、および圧縮されていない波形データ（以下、非圧縮データという）が格納されている。なお、波形データの格納の方式については後述する。上記波形メモリ6は、音源8から供給されるアドレスデータに従って、所定の波形データを外付け回路7へ出力する。なお、外付け回路7が装着されていない場合には、直接、音源8の補間部19へ出力する。外付け回路7は、波形メモリ6と音源8との間に、着脱可能に設けられる回路であり、チップ信号C2、マスター信号MCに応じて、波形データを選択した後、該波形データを音源8から供給されるインクリメント信号INCに応じて復調した後、音源8へ所定のタイミングで供給する。なお、ここでいう「着脱可能」の意味は、外付け回路7が波形メモリ6と補間部19との間に挿入された構成と、挿入されない構成との両方が同一の音源で選択可能であるということである。

【0013】次に、音源8は、時分割32チャンネル動作により、共通の回路で32個の独立した楽音を順次生成する音源であり、上記アドレスデータを生成するとともに、上記波形メモリ6から供給される波形データに対して、補間、エンベロープ付与、アナログ変換等を施した後、サウンドシステム10へ供給する。サウンドシステム10は音源8から供給される楽音信号をスピーカ等によって楽音として発音する。

【0014】（2）音源の構成

次に、上述した音源8の詳細な構成について同図1を参照して説明する。音源8は、インターフェース11、時分割制御されるレジスタ群12、アドレス発生部18、補間部19、エンベロープ発生部20、エンベロープ乗算部21（以上、音源構成要素11～12は複数チャンネル時分割動作を行ない、時分割で複数の独立した楽音を生成する。）、チャンネル累算部22、およびデジタル-アナログ・コンバータ（以下、DACと呼ぶ）23から構成されている。インターフェース11は、制御部3から供給される各種データを受け、所定の制御信号として、時分割制御されるレジスタ群12の各々に供給する。DACにおけるデジタルアナログ変換のサンプリング周波数は50KHzであり、32の時分割チャンネル

はそれを32分割した $32 \times 50K = 1.6MHz$ で動作している。

【0015】上記レジスタ群12としては、それぞれ、各時分割チャンネル毎に、独立に押鍵を検出した際にノートオン信号NONを生成し、各部へ供給するノートオン生成部13、2点補間もしくは4点補間のいずれかを指示する補間制御信号P2、読み出す波形が圧縮波形であるか、非圧縮波形であるかを指示する圧縮信号COMPを出力する復調制御部14と、波形データ読み出しのためのアドレス制御信号ADDCを出力するアドレス制御部15と、上記波形データの先頭アドレスを指示する先頭アドレス制御信号TADDCを出力する先頭アドレス制御部16と、波形データに所定のエンベロープを付与するためのエンベロープ制御信号EVIを生成するエンベロープ発生制御部17とがある。

【0016】上記復調制御部14は、上述した外付け指示信号OPの指示する遅延分早いタイミングで、上記圧縮信号COMPを外付け回路7およびアドレス発生部18へ供給し、補間制御信号P2をアドレス発生部18へ、また、補間制御信号P2を標準のタイミングで補間部19へ供給する。圧縮信号COMPは、例えば、圧縮波形データを読み出す場合には「1」となり、非圧縮データを読み出す場合には「0」となる。また、補間制御信号P2は、2点補間の場合に「1」となり、4点補間の場合に「0」となる。ここで、圧縮信号COMPおよび補間制御信号P2は共に各時分割チャンネル毎に独立に制御部3により設定されたデータである。

【0017】次に、アドレス発生部18は、アドレス制御信号ADDCおよび先頭アドレス制御信号TADDC、外付け指示信号OP、チップ信号C2、マスター信号MCに応じて、アドレスデータADDを生成し、該アドレスデータADDを外付け指示信号OPの指示する遅延分早いタイミングで波形メモリ6へ供給するとともに、インクリメント信号INC、信号ODDを外付け回路7へ供給し、さらに、アドレス小数部を標準のタイミングで補間部19へ供給する。

【0018】補間部19は、補間制御信号P2、外付け指示信号OP、チップ信号C2、マスター信号MCに応じて、波形メモリ6からの波形データをアドレス小数部により補間し、所定の読み出しサイクルに応じた波形データとし、これをエンベロープ発生乗算部21へ出力する。また、エンベロープ発生部20は、エンベロープ制御信号EVIに応じて、32チャンネル分のエンベロープ信号EV2を生成し、該エンベロープ信号EV2を上記エンベロープ乗算部21へ出力する。

【0019】エンベロープ乗算部21は、時分割で順次入力する32チャンネル分の波形データに、対応するエンベロープ信号を付与した後、これを順次チャンネル累算部22へ出力する。チャンネル累算部22は順次供給される32チャンネル分の波形データを累算（ミキシン

グ)して、サンプリング周波数50KHzの1波の波形データとしてDAC23へ出力する。DAC23は、上記波形データをアナログ信号の乗音信号に変換した後、前述したサウンドシステム10へ出力するようになって

【0020】(3) 音源と外付け回路との構成例

ここで、上述した外付け回路7、音源8および波形メモリ6の配設関係と、外付け指示信号OP、チップ信号C2、マスター信号MCとの関係について図2を参照して説明する。図2(a)は、1つの波形メモリ6に1つの音源8を用いた場合の構成を示すブロック図であり、従来と同様の構成となっている。各発音チャンネル毎に4スロット使用できるので、4点補間で、32チャンネルの発音が可能である。この場合、本実施例では、外付け指示信号OPは「0」、チップ信号C2は「0」、マスター信号MCは「1」となる。次に、図2(b)では、1つの波形メモリ6を2つの音源8a、8bが共有する構成となっている。2つの音源で波形メモリのアクセス時間を分け合い、各チャンネル当り2スロットしか使用できないので、2点補間になってしまうが、64チャンネルの発音が可能である。この場合、マスターとなる音源8aにおける外付け指示信号OPは「0」、チップ信号C2は「1」、マスター信号MCは「1」となり、スレーブとなる音源8bにおける外付け指示信号OPは「0」、チップ信号C2は「1」、マスター信号MCは「0」となる。

【0021】次に、図2(c)では、1つの波形メモリ6に対して1つの音源8が対応しており、かつ、外付け回路7が介挿された構成となっている。この場合、4点補間で、32チャンネルの発音が可能であるとともに、圧縮波形および非圧縮波形の再生が可能である。この場合、外付け指示信号OPは「1」、チップ信号C2は「0」、そして、マスター信号MCは「1」となる。ただし、圧縮波形については、再生ピッチが元のピッチの4倍以上に制限される。そして、最後に、図2(d)では、1つの波形メモリ6を2つの音源8a、8bで共有するとともに、各音源との間に外付け回路7a、7bが介挿された構成となっている。この場合、読み出しは、各チャンネル当り2スロットであるが、4点補間が可能で、64チャンネルの発音になる。ただし、圧縮波形、非圧縮波形とも、4点補間が可能なのは、再生ピッチが元のピッチの2倍までであり、それ以上の再生ピッチについては、信号P2により2点補間を行なうように制御する。また、この時も、圧縮波形の再生ピッチの上限は、元ピッチの4倍である。マスターとなる音源8aにおける外付け指示信号OPは「2」、チップ信号C2は「1」、マスター信号MCは「1」となり、スレーブとなる音源8bにおける外付け指示信号OPは「2」、チップ信号C2は「1」、そして、マスター信号MCは「0」となる。

【0022】(4) アドレス発生部の構成

次に、前述したアドレス発生部18の構成について図3を参照して説明する。図3は本実施例におけるアドレス発生部18の一構成を示すブロック図である。図において、30は、Fナンバ発生器であり、各時分割チャンネルのピッチデータに従って、発音すべき乗音のピッチに応じたFナンバを順次発生し、該Fナンバの整数部を全加算器31および半加算器33へ供給し、同Fナンバの小数部を全加算器32へ供給する。全加算器31および全加算器32は、後述するアドレスRAM38から順次供給される各時分割チャンネルのアドレスデータ(整数部、小数部)に上記Fナンバ(整数部、小数部)を加算することにより、アドレスデータをピッチに応じたステップで更新する。

【0023】また、全加算器32のキャリー(桁上げ)は全加算器31へ供給されるとともに、上記半加算器33へ供給されるようになっている。これら全加算器31、32によって更新されたアドレスデータ(整数部、小数部)は、アドレス制御部34へ供給される。アドレス制御部34は、図1に示すアドレス制御レジスタ15から供給されるアドレス制御データに従って、アタック波形1回読み後ループ波形繰返し読みや、複数ループ波形順次繰返し読み等の波形読み出し順序の制御を行なうとともに、Fナンバに基づくアドレスデータをアドレスRAM38のデータ入力端へ供給する。

【0024】一方、チャンネルカウンタ35は、時分割チャンネルをカウントし、該カウント値を全加算器37の一方の入力端へ供給する。また、オフセット発生器36は、「0」、「1」、「2」、「3」、「4」のいずれの値をとるオフセット値を発生し、上記全加算器37の他方の入力端へ供給する。全加算器37は、上記カウント値とオフセット値を加算し、これをアドレスとしてアドレスRAM38へ供給する。

【0025】アドレスRAM38には、上記アドレスが供給されるタイミングに応じて、各時分割4チャンネルを4つに分けたスロット単位の時分割で、データ入力端D1へ供給されるアドレスデータが上記アドレスに書き込まれるとともに、上記アドレスに格納されているアドレスデータが読み出されてデータ出力端D0から出力される。該アドレスデータ(整数部、小数部)は、アドレス更新のためのスロットでは、ラッチ回路39を介して前述した全加算器31、32へ供給されるとともに、そのアドレス整数部はラッチ回路45を介して加算器47の一方の入力端へ供給され、そのアドレス小数部は、波形読み出しアドレス供給のための読み出しスロットで、ラッチ回路46を介して図1に示す補間部19へ供給される。

【0026】ここで、本実施例のアドレス発生における時分割処理について図4を参照して説明する。図4はアドレス発生のタイミングを説明するためのタイムチャー

トである。上述したように、本実施例では、各チャンネルを1つのタイムスロットに分割して処理を行なうようになっており、上記チャンネルカウンタ35のカウンタ値と上記オフセット発生器36のオフセット値とによって、どのチャンネルにおける処理を行なっているかを指定するようになっている。

【0027】図4において、最上部の帯が時間軸上のチャンネルを示しており、符号*i*がチャンネル番号となる。図では、*i*チャンネルを現在のチャンネルとして、それより過去のチャンネルを負の添え字で示し、先のチャンネルを正の添え字で示している。各チャンネルは、次段に示すように、4つのタイムスロットT1~T4に分割されており、タイムスロットT1~T4の各々において、アドレスRAM38に対するアドレスデータの読み出し、書き込みが行なわれる。

【0028】まず、第1のタイムスロットT1では、チャンネルカウンタ35のカウンタ値とオフセット値との加算値、すなわち全加算器37の出力値を読み出しアドレスとして、アドレスRAM38からアドレス整数部および小数部が読み出され、ラッチ回路39にラッチされる。このタイムスロットT1におけるオフセット値は、本実施例では、常時、「+4」であり、4チャンネル分先のチャンネルにおけるアドレス整数部が読み込まれることを意味している。言換えると、*i*チャンネルのアドレス整数部は過去の(*i*-4)チャンネルの処理において読み出される。

【0029】次に、第2のタイムスロットT2では、チャンネルカウンタ35のカウンタ値とオフセット値との加算値を読み出しアドレスとして、アドレスRAM38からアドレス整数部が読み出され、ラッチ回路45にラッチされる。このタイムスロットT2におけるオフセット値は、外付け回路7の有無に応じて異なる値をとり、外付け回路7が装着されていない場合には「0」となり、外付け回路7が装着されている場合には、外付け回路7の処理速度に応じて、「+1」、「+2」、または「+3」のいずれかの値をとる。なお、本実施例では、前述したように、外付け指示信号OPによって外付け回路7の有無を区別しており、上記オフセット値は、外付け指示信号OPが「0」の場合に「0」となり、外付け指示信号OPが「2」の場合に「+2」となるようにしており、「+1」および「+3」の値を用いる外付け回路7の例は開示しないが、内部処理に応じて「+1」や「+3」およびその他の信号OPの値が必要となる外付け回路7も容易に考えられる。

【0030】次に、第3のタイムスロットT3では、チャンネルカウンタ35のカウンタ値とオフセット値との加算値を読み出しアドレスとして、アドレスRAM38からアドレス小数部を読み出して、ラッチ回路46にラッチする。このタイムスロットT3におけるオフセット値は、本実施例では、常時「0」であり、現時点のチャ

ンネルにおけるアドレス小数部を出力することを意味している。また、第4のタイムスロットT4では、チャンネルカウンタ35のカウンタ値とオフセット値との加算値を書込みアドレスとして、全加算器31、32およびアドレス制御部34により更新されたアドレスデータが書込まれる。このタイムスロットT4におけるオフセット値は、第1のタイムスロットと同様に常時「+4」であり、常に4チャンネル分先のチャンネルにおけるアドレスデータを読み出し、更新されたアドレスデータが新データとして書き込まれる。

【0031】したがって、外付け回路7が装着されていない場合には、例えば、*i*チャンネルに注目すると、該チャンネルのアドレスデータは、4チャンネル分過去の(*i*-4)チャンネルのタイムスロットT1において読み出され、更新されたアドレスデータがT4において書込まれる。そのアドレス整数部は、*i*チャンネルの第2のタイムスロットT2で順次出力され、そのアドレス小数部は*i*チャンネルの第3のタイムスロットT3から順次出力される。これに対して、外付け回路7が装着され、信号OPに「2」が設定されている場合には、*i*チャンネルのアドレスデータは、4チャンネル分過去の(*i*-4)チャンネルにおいて更新され、そのアドレス整数部は2チャンネル過去の(*i*-2)チャンネルの第2のタイムスロットT2から順次出力され、そのアドレス小数部は*i*チャンネルの第3のタイムスロットT3から順次出力される。このように、外付け回路7が装着され、信号OPに「2」が設定されている場合には、2チャンネル分前の(*i*-2)チャンネルにおいて、アドレス整数部が出力されることになる。

【0032】次に、図3に説明を戻すと、半加算器33は、Fナンバ発生器30が出力するFナンバの整数部と、更新されるアドレスデータの小数部のキャリー（桁上げ）とを加算し、最大値を「4」とするアドレス進み量Δ1を算出し、遅延回路40へ供給する。遅延回路40には、外付け指示信号OPが供給されており、該外付け指示信号OPに応じて遅延時間を調整し、適切なタイミングで上記アドレス進み量Δ1を後段のインクリメント信号発生部41と戻り量発生部42とへ供給する。該遅延回路40は、外付け回路7の有無に応じて、アドレスRAM38からアドレスデータの整数部が出力され、ラッチ回路45にラッチされるタイミングと、上記アドレス補正値の出力タイミングとを一致させるためのものである。

【0033】上記インクリメント信号発生部41は、アドレス進み量Δ1に応じて、4ビットのシリアルデータからなるインクリメント信号INC1、INC2、INC3、INC4を発生し、これを外付け回路7に設けられた復調回路64へ供給する。このインクリメント信号INC1、INC2、INC3、INC4は、再生すべき圧縮波形データの数に一致したパルス信号であり、上記復調回

路は該インクリメント信号 INC_i ($i=1, 2, 3, 4$) のパルスに従って、復調動作を行なうようになっている。

【0034】例えば、アドレス進み量 ΔI が「0」の場合にはインクリメント信号 $INC_1 \sim INC_4$ の全てが「0」となり、 ΔI が「1」の場合にはインクリメント信号 INC_1 のみが「1」で、インクリメント信号 $INC_2 \sim INC_4$ は「0」となる。また、アドレス進み量 ΔI が「2」の場合にはインクリメント信号 INC_1 および INC_2 が「1」で、他のインクリメント信号 INC_3, INC_4 は「0」となる。さらに、アドレス進み量 ΔI が「3」の場合にはインクリメント信号 $INC_1 \sim INC_3$ が「1」となり、インクリメント信号 INC_4 は「0」となり、 ΔI が「4」の場合にはインクリメント信号 $INC_1 \sim INC_4$ の全てが「1」となる。

【0035】圧縮波形を再生する際のアドレス進み量 ΔI および INC 信号について説明したが、続いて、非圧縮波形再生の場合について説明する。この場合、波形が圧縮されていないので外付け回路7の機能のうち、圧縮波形のデコード機能は必要がなく、補間のための過去サンプルを供給する機能のみ使用される。この機能が利用されるのは、2音源構成(チップ信号C2が「1」)、かつ、外付け回路7付き(信号OPが「0」でない)、かつ、4点補間(信号P2が「0」)が選択されている時分割チャンネルの場合であるが、その時は、上述した圧縮波形を再生する場合と同じ具台でアドレス進み量 ΔI および INC 信号が発生する。

【0036】その他の場合についてであるが、一番わかりやすいのは外付け回路7なし(信号OPが「0」)の場合であり、この時にはアドレス進み量 ΔI および INC 信号は使用されないでどのような状態にいてもよい。一方、外付け回路7付き(信号OPが「0」でない)で、残る1音源構成(チップ信号C2が「0」)、または、4点補間(信号P2が「0」)が選択されている時分割チャンネルの場合であるが、この時は、外付け回路7が装着されているものの、その回路の機能は必要としないので、波形メモリから読みだされた波形が所定の時間遅れのみを伴って外付け回路7からそのまま出力されるように制御すればよい。即ち、 INC 信号については、アドレス進み量 ΔI の値にかかわらず、そのアクセス期間(1音源構成の時、全4スロット。2音源構成の時、信号MCに応じた前半または後半の2スロット。)において無条件にパルスを発生させ、そのスロットで読まれた波形を外付け回路7に取り込ませる。

【0037】また、戻り量発生部42は、上記アドレス進み量 ΔI に「 -1 」を乗算した後、「 1 」を加算して、この結果をセクタ43へ供給する。したがって、戻り量発生部42からは「 1 」、「 0 」、「 -1 」、「 -2 」、「 -3 」のいずれかの値が戻り量として出力される。上記セクタ43には、上記戻り量発生部42

の出力以外に「 -3 」、「 -2 」なる一定値が供給されており、セクタ43は、2点補間信号P2およびチップ信号C2に応じて、上記戻り量発生部42から供給される値か、または「 -2 」、あるいは「 -3 」のいずれかを選択的にビット拡大部44へ供給する。

【0038】3つの入力のうち、戻り量発生部の発生する戻り量は、外付け回路7の機能を使用する場合に選択される。即ち、外付け回路7付き(信号OPが「0」でない)で、圧縮波形を再生中の発音チャンネル(信号COMPが「1」)の場合、もしくは2音源構成(チップ信号C2が「1」)、かつ、外付け回路7付き(信号OPが「0」でない)、かつ、4点補間(信号P2が「0」)が選択されている時分割チャンネルの場合である。アドレス進み量 ΔI は、ラッチ回路45にラッチされた各時分割チャンネルのアドレス整数部が(4チャンネル時間前の)対応するアドレス更新演算でいくつ進んだかを示しており、一方、戻り量は、ラッチ回路45にラッチされた該アドレス整数部を、その時進んだ中の1つめのアドレスに戻すための引き算値として、戻り量 $\{(-1) * \Delta I + 1\}$ を発生している。

【0039】一方、残りの「 -2 」および「 -3 」の一定値の入力は、外付け回路7の機能を使用しない場合(つまり、上記使用する場合以外の場合)に選択される。さらに、この2つの値のうち、「 -2 」が選ばれるのはその時分割チャンネルにて2点補間を行っている場合(信号P2が「1」)であり、「 -3 」が選択されるのは4点補間を行っている場合(P2が「0」)である。この「 -2 」と「 -3 」の値は、それぞれ、2点補間および4点補間による補間サンプルのラッチ回路45にラッチされたアドレス整数部に対する相対位置を、外付け回路7を使用する場合の4点補間による補間サンプルの場合と同じにするための値である。

【0040】先に、16ビットの非圧縮波形データおよび16ビットの波形を8ビットに圧縮した圧縮波形データを記憶する波形メモリ6の記憶フォーマットについて説明しておく。波形メモリ6の出力データ幅は16ビットであり、非圧縮波形データは1アドレス1サンプルで順次記憶されている。一方、圧縮波形データの記憶形式は図6のようになっており、順次連続する8ビットの圧縮波形サンプルのうち、偶数番目の8ビットサンプルとそれに続く奇数番目の8ビットサンプルが、それぞれ16ビットデータの低位8ビットおよび上位8ビットとして結合され、得られた16ビットデータが波形メモリ6の各アドレスに順次記憶されている。16ビットから8ビットへの圧縮には、2次のLPC方式もしくはDPCM方式が使われており、順次供給される圧縮波形デコードのためには、過去の圧縮波形サンプルのデコードされた再生サンプルが必要である。つまり、圧縮波形のデコード再生においてはサンプルを飛び越すことは許されないわけであり、本実施例では1音源構成の場合1時分割

チャンネルごとに最大4つの圧縮波形サンプルまで、2音源構成では最大3サンプルまで、しかデコードできないので、圧縮波形を再生する時分割チャンネルについては上述したFナンバの値は、それぞれ、場合毎に「4」以下、および「3」以下に制限される。なお、アドレスRAM38中のアドレスのうち、圧縮波形を読みだしている時分割チャンネルのアドレスの値は波形メモリの各アドレスではなく、読出す圧縮波形の各サンプルの番号（図6における円で囲んだ数字、0、1、2、・・・）を示しており、従って、波形メモリの読み出しアドレスは、RAM38中のアドレスが「2」進む毎に「1」進む。その詳細は、シフトダウン部48とともに後で説明する。

【0041】図3に示すラッチ回路45から出力されるアドレス整数部は、読出す波形データの最終アドレスを指示するようになっている（ただし、2点補間についてだけは、補間の位相をあわせる関係で例外的にそうっていない）。すなわち、ある時分割チャンネルのアドレスがラッチ回路45にラッチされて、波形メモリ6の読み出しが行われた後では、該ラッチされたアドレス以前に記憶されているサンプルは既に最低1回読みだされ再生されている。上述したように、圧縮波形をデコードするためには過去にデコードされたサンプルが必要なわけであるが、この場合、アドレスRAM38中の各時分割チャンネルのアドレスは、その対応する読み出しデコードが行われた後の時点において、既にデコード再生し終わっているサンプルの最終アドレスを示しているのので、その次のアドレス更新時の同発音チャンネルの処理では、更新前のアドレスの1つ後のアドレスの圧縮波形サンプルから更新後のアドレスの圧縮波形サンプルまでを1つずつ順次読みだしてデコードすればよい。半加算器33の出力するアドレス進み量 $\Delta 1$ は、このアドレス更新において同発音チャンネルのアドレスの整数部がいくつ進んだかを示しており、その更新後の読み出しにおいてデコードすべき圧縮波形のサンプル数に対応している。アドレス進み量 $\Delta 1$ に応じて、INC発生器41はデコードするサンプル数（非圧縮波形については更新するサンプル数）のパルスをインクリメント信号として発生し、一方、戻り量発生部42は、ラッチ回路45にラッチされた該更新後のアドレスの整数部を、加算器47にて上述した更新前のアドレスの1つ後のアドレスに戻すための、戻り量を発生している。なお、圧縮波形における補間は、ラッチ回路45にラッチされたアドレスから前方向に4つ分の連続する4サンプルについて行われ、補間サンプルの位置はその2つめと3つめのサンプルの間である。

【0042】次に、非圧縮波形で4点補間する場合にセクタ43の選択する「-3」の値について説明する。この場合、加算器47の出力するアドレスを該4サンプルの最初のサンプルのアドレスとして、後述する補助カ

ウンタ49および加算器50の働きにより、4点補間に必要な連続する4サンプルを1時分割チャンネルの4スロットで順次読出す。ラッチ回路45にラッチされたアドレス整数部と補間サンプル位置の関係を、圧縮波形における4点補間と同じにするためには、ラッチ回路45の該アドレス整数部を該4サンプルの4番目のサンプルのアドレスになるようにすればよい。後述する補間カウンタ49の発生する値が「0」、「1」、「2」、「3」であるので、加算器47における加算値を「-3」とすれば、加算器50における補間カウンタの出力値と総合して、「-3」、「-2」、「-1」、「0」となり、それが実現する。

【0043】一方、非圧縮波形2点補間の時分割チャンネルでは、セクタ43にて「-2」が選択される。この場合、補間のためには連続する2サンプルが必要で、波形メモリ6から順次読みだされた連続する2サンプルの間で直線補間が行われる。この時の2サンプルとしては、4点補間の場合の連続する4サンプルのうちの真中の2つを使用したほうがよい。なぜならば、4点補間の場合に補間されるサンプルの位置は該真中の2サンプルの間であり、その4点補間で得られる補間サンプルに対して2点補間の際の補間サンプルの位相をあわせるため、2点補間を該真中の2サンプルで行うようにする。2点補間の場合、補間カウンタ49は「0」、「1」を発生するので、セクタ43で「-2」を選択すると、その2つの加算値を総合すると「-2」、「-1」となり、それが実現する。位相をあわせる理由は、波形を4点補間にするか2点補間にするかでサンプルの位置が変わるため、例えば2波形を混合する場合等に、波形の補間方法を切り換えたことで音色が大きく変化してしまうのを防ぐためである。

【0044】ビット数拡大部44は、セクタ43の出力する各種データ（4ビット程度）のビット数を加算器47における演算ビット数（16～20ビット程度）まで符号拡張する回路である。

【0045】このように、加算器47において補正されたアドレス整数部の最下位ビット（1ビット）は信号ODDとして外付け回路7へ供給され、そのビットも含む全ビットがシフトダウン部48へ供給される。上記信号ODDは、16ビット長の波形メモリ6から8ビットの圧縮波形データを取り出す際、下位8ビットから取り出すか、上位8ビットから取り出すかを指示する信号である。シフトダウン部48は、圧縮信号COMPが「1」の場合に、アドレスデータを1ビットシフトダウンして加算器50へ供給する。

【0046】圧縮波形が読みだされる時分割チャンネルでは、加算回路47の出力するアドレス整数部がシフトダウン部48において1ビットシフトダウンされる。該シフトダウンにより、ラッチ回路45や加算器47におけるアドレスが「2」進む毎に「1」進むアドレスが生

成されシフトダウン部48から出力される。すなわち、圧縮波形の各サンプル番号を示すアドレスは、シフトダウン部48において、波形メモリ6を読み出すためのアドレスに変換されるわけである。

【0047】また、補間カウンタ49は、4点分の波形データ（補間データ）を順次読み出すため、もしくは2つの音源に対して各々2点分の波形データを順次読み出すために、アドレスを進めるためのカウンタであり、音源が1チップのとき、「0」、「1」、「2」、「3」なる値を1チャンネルの4スロット内において順次、加算器50へ供給し、音源が2チップのとき、「0」、「1」、「0」、「1」なる値を同4スロット内において順次、加算器50へ供給する。

【0048】上記加算器50は、上記アドレスデータにスタートアドレスを加算するとともに、上記補間カウンタ49から各時分割チャンネルの4つのスロットのタイミングで供給される「0」、「1」、「2」、「3」（もしくは「0」、「1」、「0」、「1」）なる値を加算し、4点分のアドレスデータを順次作成してゲート回路51へ供給する。ゲート回路51は、上記4点分のアドレスデータの出力タイミングを制御するもので、音源が1チップの場合には常時、開状態となり、音源が2チップの場合には、マスター側の音源に対してはアドレスデータの前半の2タイムスロットだけが開状態となり、スレーブ側の音源に対してはアドレスデータの後半の2タイムスロットだけが開状態となる。したがって、波形メモリ6のアクセス時間、すなわち各4チャンネル毎の全4スロットのうち、前半の2スロットをマスター側が、後半の2スロットをスレーブ側の音源が使用する。このようにして得られたアドレスデータは波形メモリ6へ供給される。波形メモリ6からは、上記アドレスデータに応じて波形データが読み出され、外付け回路7へ供給される。

【0049】（5）外付け回路の構成

次に、外付け回路7について図5を参照して説明する。図5は外付け回路7の構成を示すブロック図である。図において、遅延回路55は、波形メモリ6から読み出された波形データ（16ビット）を1タイムスロット分遅延し、遅延回路56へ供給するとともに、セレクタ57の一方の入力端へ供給する。遅延回路56は、上記遅延回路55が出力する波形データ（4点分）を2タイムスロット分遅延し、上記セレクタ57の他方の入力端へ順次供給する。

【0050】セレクタ57は、通常、遅延回路56の出力、すなわち2タイムスロット分（遅延回路55の遅延を合せて3タイムスロット分）遅延した波形データ（4点分）を後段へ順次出力し、2チップの音源を用いる場合には、スレーブ側の外付け回路7にて、遅延回路55の出力、すなわち1タイムスロット分遅延した波形データ（4点分）を後段へ順次出力する。これは、2チップ

の音源を用いる場合には、マスター側の外付け回路は4点分の波形データのうち、前半の2点（1, 11）を用い、スレーブ側の外付け回路は4点分の波形データのうち、前半の2点が供給されるタイミングに対して、2タイムスロット分遅れて供給される後半の2点（111, 1V）を用いるためである。そこで、セレクタ57は、4タイムスロットのうち、前半の2タイムスロットを用いるマスター側では、遅延回路56によって遅延された波形データを出力し、後半の2タイムスロットを用いるスレーブ側では遅延回路55の出力する波形データを出力するようになっている。

【0051】次に、セレクタ58は、セレクタ57から直接供給される波形データの上位8ビット、または下位8ビットのいずれか、もしくは遅延回路59、60、61によって1タイムスロット分遅延された波形データの上位8ビットまたは下位8ビットを、最終的な波形データの下位8ビットとして選択的に出力するようになっている。

【0052】ここで、セレクタ58の出力選択について図7を参照して説明する。図7は16ビット長の波形メモリ6から各時分割チャンネルにおいて8ビットの圧縮波形データを読み出す際の動作を説明するための図である。図7（a）に示すように、16ビット長の波形メモリ6には、前述したように、各アドレスの下位8ビット、上位8ビット毎に、8ビットに圧縮された圧縮波形データが順次格納されている。波形メモリ6は、供給されるアドレスに従って、16ビット長の波形データ（2つの圧縮波形データを含む）を順次出力する。したがって、この波形メモリ6から、図7（b）に示すような8ビットの圧縮波形データを順番に取り出すためには、上記16ビット長の波形データを所定のタイミングで振分ける必要がある。すなわち、図5に示すセレクタ58には、同一タイミングで第1および第2の圧縮波形データ（16ビット）が供給されるので、信号ODDが「0」のとき、すなわちデコードすべき最初の圧縮サンプルが最初の読み出しデータの低位8ビットに入っている場合は、当該時分割チャンネルの第1スロットで第1の圧縮波形データを出力するには入力端Aに直接供給される下位8ビットのデータを出力すればよい。

【0053】次に、第2スロットで第2の圧縮波形データを出力するには、1タイムスロット分遅延された同一の読み出しデータの上位8ビットのデータを出力すればよい。したがって、入力端Dに供給される、遅延回路59が出力する1タイムスロット分遅延された上位8ビットのデータを出力すればよい。次に、第3の圧縮波形データは、波形メモリ6から2番目に読み出された読み出しデータの低位8ビットに入っているため、該データを出力するには、第3スロットで1タイムスロット分遅延された下位8ビットのデータ、すなわち遅延回路60から入力端Cに供給される下位8ビットのデータを出力すれば

ばよい。さらに、第4の圧縮波形データを出力するには、第4スロットで2タイムスロット分遅延された上位8ビットのデータ、すなわち遅延回路61から入力端Eに供給される上位8ビットのデータを出力すればよい。

【0054】これに対して、信号ODDが「1」のとき、すなわちデコードすべき最初の圧縮サンプルが最初の読み出しデータの上位8ビットに入っている場合には、セクタ58は、図7(c)の右側に示すように、各時分割チャンネルの第1～第4のスロットにおいて、入力端B、A、D、Cの順で順次出力すればよい。また、圧縮されていない波形データを読み出す場合には、ゲート回路62を開状態として、セクタ57から出力される上位8ビットのデータを後段へ出力するとともに、セクタ58によって入力端Aに供給される下位8ビットのデータを後段へ出力すればよい。この選択により、セクタ57の出力で上位8ビット、下位8ビットに分離されたデータがノンリニア拡張部63の直前で再び16ビットに合成される。セクタ58から出力された圧縮波形データもしくは非圧縮波形データは、ノンリニア拡張部63へ供給される。なお、該波形データは、圧縮波形データの場合には、セクタが出力する8ビットデータであり、非圧縮波形データの場合には、当然、ゲート回路62を介して供給される上位8ビットを加えた16ビットデータとなる。

【0055】次に、ノンリニア拡張部63は、圧縮信号COMPが「1」、すなわち圧縮波形サンプルが供給された場合には、上記8ビットの圧縮波形データをログ（対数値）からリニア（直線値）へ伸張するとともに、符号を拡張して16ビット長の波形データに変換した後、復調回路64へ供給する。つまり、前述した2次のLPCまたはDPCMによる圧縮に加えて、その2次のLPCまたはDPCMで生成された残差波形がさらにリニア→対数変換されて、波形メモリ6に記憶する8ビットの圧縮波形になっているわけである。一方、圧縮信号COMPが「0」の場合には、供給される16ビットの非圧縮波形データをそのまま復調回路64へ供給する。

【0056】復調回路64の内部では、供給される圧縮波形データと、前回復調した波形データとに基づいて、波形データを復調するようになっている。特に、2次のLPCによる圧縮波形データの場合には、差分データ（圧縮データ）が入力されると、1サンプリング周期（＝32チャンネル分の時間）分遅延された復調波形データと、2サンプリング周期分遅延された復調波形データとに係数A0、A1を乗算した後、該乗算結果を上記差分データに加算することによって、波形データを復調するようになっている。

【0057】(6) 復調回路の構成

ここで、上記復調回路64について図8を参照して説明する。図8は復調回路の一構成例を示すブロック図である。図において、バッファRAM70には、所定のタイ

ミングで、入力端D1に供給される、復調された各チャンネルの4点分の波形データが格納されるとともに、格納された4点分の波形データが順次読み出されて、図示するラッチ回路71、72、73、74へ供給される。ラッチ回路71には1サンプリング周期前の波形データが供給され、順次、ラッチ回路72には2サンプリング周期前の波形データ、ラッチ回路73には3サンプリング周期前の波形データ、そして、ラッチ回路74には、最も古い4サンプリング周期前の波形データが供給される。つまり、各チャンネル毎の過去に復調された4点分の波形データがラッチ71～74に順次ラッチされる。ラッチ回路71～74は、各々、供給される波形データを一旦保持し、セクタ75～78の第1の入力端へ供給する。

【0058】また、上記バッファRAM70の読み出しアドレス、および書き込みアドレスは、チャンネルカウンタ80、遅延回路81、およびセクタ82により生成される。チャンネルカウンタ80は、所定のタイミングで「1」、「2」、…なるチャンネルを指示するカウント値を生成し、セクタ82の一方の入力端と遅延回路81とへ供給する。遅延回路81は、上記カウント値を8スロット分（＝2チャンネル分）遅延して、セクタ82の他方の入力端へ供給する。また、セクタ82は、チャンネルカウンタ80から直接供給されるカウント値を、読み出しアドレスとしてバッファRAM70へ供給する一方、遅延回路81から供給される8スロット分遅延されたカウント値を書き込みアドレスとしてバッファRAM70へ供給する。

【0059】セクタ75～78は、遅延回路83、84、85、86を介して縦続接続されており、前述したインクリメント信号INCの第1～第3スロットのパルスに応じて、3つの入力端に供給されるデータのいずれかを選択的に後段の遅延回路へ出力するようになっている。また、セクタ75、76の出力は、各々、遅延回路83、84とともに乗算器87、88にも供給されている。乗算器87、88には、各々、LPC復調係数A0、A1が供給されており、上記セクタ75、76の出力にこれらLPC復調係数A0、A1を乗算して、加算器89へ供給する。加算器89は、乗算器87、88の出力データを加算して、予測データとしてゲート回路90へ供給する。ゲート回路90は、圧縮信号COMPが「1」のときにのみ開状態となり、加算器89の出力を加算器91の一方の入力端へ供給する。該加算器91の他方の入力端には、前述したノンリニア拡張部63から出力される波形データが供給されており、加算器91は、元となる波形データと予測データとを加算し、遅延回路92へ供給する。遅延回路92は、上記加算された波形データを1タイムスロット分遅延させた後、上述したセクタ75の第2の入力端へ供給する。

【0060】また、上記遅延回路83～76の出力は、

19

各々、次段のセレクトの第2の入力端および前段のセレクトの第3の入力端へ供給されるとともに、図面上段に示す前段のセレクトの第3の入力端、および次段のセレクトの第2の入力端へ供給されるようになっている。図面上段に示されるセレクト93、94、95、96は、上述した下段のセレクト75〜78と同様に、遅延回路97、98、99、100を介して縦続接続されており、前述したインクリメント信号INCの第4スロットのバルスに応じて、およびその後の順次送り動作で3つの入力端に供給されるデータのいずれかを選択的に後段の遅延回路へ出力するようになっている。遅延回路97〜100の出力は、各々、次段のセレクトの第1の入力端へ供給されるようになっている。また、最終段の遅延回路100の出力は、バッファRAM70へ前述したタイミングで書き込まれるとともに、図1に示す補間部19へ出力される。

【0061】（7）補間部の構成

次に、前述した補間部19の構成について図9を参照して説明する。図9は本実施例における補間部19の一構成を示すブロック図である。図において、アドレス発生部18から出力されるアドレス小数部は、減算器102の一方の入力端、ビット反転器104、およびセレクト105の第3の入力端へ供給されている。補間カウンタ101は、本実施例では、「1」、「2」、「3」、「4」なる循環数列を生成し、これを所定のタイミングで減算器102の他方の入力端へ供給する。上記「1」〜「4」の数値は、4点分の波形データの各々に対応して出力されるようになっている。減算器102は、上記「1」〜「4」の各値からアドレス小数部を減算し、これを係数メモリ103へ供給する。係数メモリ103には、図10（a）に示す補間係数が記憶されており、減算器102から供給される値に応じた補間係数をセレクト105の第1の入力端へ供給する。

【0062】また、ビット反転器104は、上記アドレス小数部をビット単位で反転し、これをセレクト105の第2の入力端へ供給する。セレクト105は、2点補間信号P2およびマスター信号MCの値に応じて、第1〜第3の入力端のいずれかに供給されたデータを乗算器107の一方の入力端へ供給する。4点補間の場合には、2点補間信号P2が「0」となり、この場合、セレクト105は、係数メモリ103から供給される補間係数を出力する。

【0063】また、2つの音源構成で、各音源にて2点補間する場合には、2点補間する時分割チャンネル内において、2点補間信号P2は常時「1」となり、マスター信号MCが「1」の場合は前半の2スロット分の波形データの入力タイミングを用い、「0」の場合は後半の2スロット分の波形データの入力タイミングを用いる。この場合、セレクト105は、前半および後半、各々の2点分の波形データに同期して、順次、ビット反転器1

20

04から供給されるビット反転されたアドレス小数部、直接供給されるアドレス小数部を乗算器107へ出力する。この操作により、図10（b）に示す2点補間時の係数が乗算器107に供給される。

【0064】遅延回路106は、各タイムスロット毎に供給される波形データを順次遅延し、上記乗算器107へ出力する。乗算器107は、各波形データに、対応するデータ（係数、反転されたアドレス小数部、もしくはアドレス小数部）を乗算し、補間累算器108へ供給する。補間累算器108は波形データを累算した後、各時分割チャンネル毎に、得られた補間サンプルを1つ、図1に示すエンベロープ乗算部21へ出力するようになっている。

【0065】（8）動作の説明

次に、上述した本実施例の楽音発生装置の動作について図11および図12を参照して説明する。演奏者が音色スイッチ2によって音色を設定し、鍵盤により演奏を行なうと、演奏に応じたキーコード、タッチ等の演奏情報が制御部3に供給される。そして、制御部3によって、インターフェース11を介して、各種情報がレジスタ群12へ供給される。レジスタ群12の各々は、音源の数、外付け回路の有無に応じて、前述した各種信号を各部へ供給する。なお、音色設定や、鍵盤の操作による演奏については各ケースにおける共通の操作として以下ではその説明を省略する。また、以下では、図2（a）〜（d）に示す構成を、各々、ケースA、B、C、Dとして説明する。

【0066】（8-1）ケースA

まず、図2（a）に示すように、外付け回路7を装着せず、かつ、1つの音源8で発音する場合について説明する。この場合には、外付け指示信号OP=0、チップ信号C2=0、およびマスター信号MC=1となり、楽音の発音は、4点補間で、32チャンネル分の発音が行なわれる。また、この場合には、圧縮波形は用いられない。

【0067】アドレス発生部18では、オフセット発生部36に供給される外付け指示信号OPが「0」となるため、タイムスロットT1〜T4において出力されるオフセット値は、順次、「+4」、「0」、「0」、「+4」となる。したがって、アドレスRAM38においては、タイムスロットT1において、4チャンネル分先のチャンネルのアドレスデータがアドレスRAM38から読み出され、出力端DOからラッチ回路39へ出力されラッチされる（図4の「外付け回路が装着されていない場合」を参照）。

【0068】次に、タイムスロットT2、T3においては、オフセット値が「0」であるため、自身のチャンネルのアドレスデータがアドレスRAM38から読み出されて、アドレス整数部がラッチ回路45にラッチされ、アドレス小数部がラッチ回路46にラッチされる。この

10

20

30

40

50

21

タイムスロットT2、T3の間に、タイムスロットT1においてラッチ回路39にラッチされた、4チャンネル分先のアドレスデータは、そのアドレス整数部が全加算器31へ供給され、アドレス小数部が全加算器32へ供給される。そして、Fナンバ発生部30からピッチデータに従って読み出されたFナンバと加算されて更新され、アドレス制御部34へ供給される。アドレス制御部34では、更新されたアドレスデータ（整数部、小数部）に対し、アドレス制御データに従って、ループ読みの処理等の所定の処理が行なわれた後、アドレスRAM 38の入力端D1へ供給される。

【0069】そして、タイムスロットT4において、アドレス制御部34から供給された、更新されたアドレスデータがアドレスRAM38の4チャンネル分先のチャンネルに相当するアドレスに格納される。すなわち、この場合には、各チャンネルのアドレスデータの更新は、4チャンネル分未来のチャンネル処理におけるタイムスロットT1、T4で行なわれ、各チャンネルのアドレスデータは該当チャンネル処理におけるタイムスロットT2、T3で出力される。アドレスデータの整数部はラッチ回路45を経て加算器47へ供給される。

【0070】一方、この場合、チップ信号C2および2点補間信号P2は共に「0」であるため、セクタ43からは「-3」が出力され、ビット拡大部44においてビットが伸張された後、加算器47へ供給される。アドレス整数部には、上記加算器47においてアドレス補正値が加算される。補正されたアドレス整数部は、シフトダウン部48に供給される。非圧縮波形データを読み出す場合であり、圧縮信号COMPは「0」となるので、シフトダウン部48にてシフトダウンされずに、そのまま加算器50へ供給される。

【0071】加算器50で、シフトダウン部48から出力されたアドレス整数部に、スタートアドレスと補間カウンタ49からの補間カウント値とが加算された後、ゲート回路51へ供給される。この場合、4点補間であるため、補間カウンタ49からは、1時分割チャンネルの各タイムスロット毎に、「0」、「1」、「2」、「3」となるカウント値が順次出力される。そして、スタートアドレス+アドレス整数部+補間カウント値なる4点分のアドレスデータはゲート回路51を介して波形メモリ6へ供給される。前述した通り、読み出される波形データのアドレスは、各時分割チャンネルのスタートアドレスとラッチ回路45にラッチされたアドレスの和に、セクタ43と補間カウンタ49から供給される総台値「-3」、「-2」、「-1」、「0」を加算したアドレスである。

【0072】波形メモリ6からは上記アドレスデータに従って波形データ（4点分）が読み出され、音源8の補間部19へ供給される。補間部19では、この場合、4点補間であるので、係数メモリ103から出力される係

22

数（4点分）がセクタ105から順次出力され、乗算器107へ供給される。また、補間部19の遅延回路106には、上述した波形メモリ6から読み出された4点分の波形データが順次供給される。したがって、各時分割チャンネルの4つのスロットで読み出された波形データは、乗算器107において、上記対応する係数が乗算された後、補間乗算器108で累算され、各時分割チャンネルの補間された波形データとして図1に示すエンベロープ乗算部21へ供給される。このタイミングは、図12の「4点補間時」に示されている。

【0073】一方、エンベロープ発生部20では、エンベロープ制御レジスタ17から供給されるエンベロープ制御信号に応じて、32チャンネル分のエンベロープが順次生成され、該エンベロープは上記エンベロープ発生乗算部21へ供給される。そして、エンベロープ乗算部21において、各時分割チャンネル毎に上記補間された波形データに、上記エンベロープが付与され、チャンネル累算部22において、32チャンネル分の波形データがミキシングされて、1サンプリング周期毎のミキシング波形データとなり、DAC23によりアナログ信号に変換された後、サウンドシステム10において楽音として発音される。なお、上述したケースAの構成では、発音される楽音のピッチに制限はない。

【0074】（8-2）ケースB
次に、図2（b）に示すように、外付け回路7を装着せず、かつ、2つの音源8a、8bで発音する場合について説明する。この場合には、マスター側の音源8aに対しては、外付け指示信号OP=0、チップ信号C2=1、およびマスター信号MC=1となる一方、スレーブ側の音源8bに対しては、外付け指示信号OP=0、チップ信号C2=1、およびマスター信号MC=0となる。この場合は、2点補間（全時分割チャンネルの信号P2が全て「1」）で、64チャンネル分の発音が行なわれる。この場合も、ケースAと同様に圧縮波形データは用いられない（信号COMPは全て「0」）。また、各音源8a、8bにおけるアドレス発生部18におけるラッチ回路45までの動作は、前述した場合と同一であるので説明を省略する。

【0075】先に説明したように、2点補間の時分割チャンネル（P2が「1」）については、セクタ43で必ず「-2」が選択される。また、圧縮波形は用いられないので、シフトダウン部48は、入力するアドレスをそのまま出力する。結局、シフトダウン部48の出力するアドレスは、ラッチ回路45にラッチされたアドレスにセクタ43の出力する「-2」を加算した値になる。ケースBのこれ以降の説明において、2音源構成の各音源の構成要件は、添字a、bによって区別することとする。

【0076】まず、マスター側の音源8aでは、アドレス発生部18aの加算器50aにおいて、アドレス整数

部にスタートアドレスと補間カウンタからの補間カウンタ値とが加算され、ゲート回路51aへ供給される。この場合、2点補間であるため、補間カウンタ49aからは、「0」、「1」、「0」、「1」となるカウンタ値が出力される。また、音源が2つあるため（信号C2が「1」）、マスター側のゲート回路51aは前半の2点分の期間のみ開状態となり、タイムスロットT1、T2の2点分のアドレスデータが波形メモリ6へ供給される。一方、スレーブ側の音源8bにおいては、ゲート回路51bが後半の2点分の期間のみ開状態となるため、

タイムスロットT3、T4の2点分のアドレスデータが波形メモリ6へ供給される。
【0077】つまり、ゲート回路51aおよび51bに入力するアドレスとしては、加算器47の加算値「-2」も含めて、ラッチ回路45にラッチしたアドレスに対し「-2」、「-1」、「-2」、「-1」した値が、T1～T4のタイムスロットにて供給されている。マスター側のゲート回路51aではこのうちの前半の2スロット分を出力し、スレーブ側のゲート回路51bでは後半の2スロット分を出力する訳であるが、マスター側もスレーブ側もそれぞれに許された波形メモリの2スロット分のアクセス時間において、ラッチ回路45にラッチしたアドレスに対し「-2」、「-1」した2つのアドレスを出力している。

【0078】波形メモリ6からはマスター側の出力した前2つと、スレーブ側の出力した後2つの4スロット分のアドレスデータに従って、4点分の波形データが読み出され、マスター側の音源8aの補間部19aへ供給されるとともに、スレーブ側の音源8bの補間部19bへ供給される。この場合、マスター側の補間部19aでは、マスター信号MCが「1」であるため、タイムスロットT1においては、セクタ105からビット反転器104が出力するビット反転されたアドレス小数部が出力され、また、第2のタイムスロットT2においては、直接供給されるアドレス小数部が出力される。この操作により、マスター側の音源8aに対する2点補間の係数が供給され、残りのT3とT4のタイムスロットでは、セクタ105はいずれの入力も選択しない（すなわち、「0」を出力する）。

【0079】同様に、スレーブ側の補間部19bでは、マスター信号MCが「0」であるため、前半のT1とT2のタイムスロットでは「0」を出力し、さらにタイムスロットT3においては、ビット反転器104から供給されるビット反転されたアドレス小数部が出力され、また、次のタイムスロットT4においては、直接供給されるアドレス小数部が出力される。この操作により、1チャンネルの4スロットのうちの後半2スロットにおいてスレーブ側の音源8bに対する2点補間の係数が供給される。

【0080】一方、マスター側の補間部19aの遅延回

路106aには、上述した波形メモリ6から読み出された4点分の波形データが順次供給される。そのうちの前半の2スロットで供給される2点分の波形データに対し、乗算器107aにおいて、上記対応する補間係数が乗算された後、補間累算器108aによって累算され、補間された波形データとして図1に示すエンベロープ乗算部21aへ供給される。同様に、スレーブ側では、波形メモリ6から読み出された波形データのうち、後半の2スロットに読み出された2点分の波形データに対して、乗算器107bにおいて、上記対応する補間係数が乗算された後、補間累算器108bによって累算され、補間された波形データとして、音源8bのエンベロープ乗算部21bへ供給される。

【0081】また、各音源8a、8bでは、エンベロープ発生部20a、20bにおいて、エンベロープ制御レジスタ17a、17bから供給されるエンベロープ制御信号に応じて、各32チャンネル分のエンベロープ（合計64チャンネル）が順次生成され、該エンベロープは上記エンベロープ発生乗算部21a、21bへ供給される。そして、エンベロープ乗算部21a、21bにおいて、各時分割チャンネルの上記補間された波形データに、上記エンベロープが付与され、チャンネル累算部22a、22bにおいて、32チャンネル分の波形データがミキシングされて、DAC23a、23bによりアナログ信号に変換された後、サウンドシステム10a、10bにおいて楽音として発音される。なお、上述したケースBの構成では、発音される楽音のビッチに制限はない。

【0082】（8-3）ケースC

次に、図2(c)に示すように、1つの音源8に対して、外付け回路7を1つ装着した場合について説明する。この場合には、外付け指示信号OP=1、チップ信号C2=0、およびマスター信号MC=1となり、4点補間で、32チャンネル分の発音が行なわれる。なお、この場合には外付け回路7が装着されているので、各時分割チャンネルで非圧縮波形データもしくは圧縮波形データの双方に対して楽音の発音が可能である。

【0083】まず、アドレス発生部18では、オフセット発生部36に供給される外付け指示信号OPが「2」となるため、タイムスロットT1～T4において出力されるオフセット値は、順次、「+4」、「+2」、「0」、「+4」となる。したがって、アドレスRAM38においては、第1のタイムスロットT1において、4チャンネル分先のチャンネルのアドレスデータがアドレスRAM38から読み出され、出力端DOからラッチ回路39にラッチされる。

【0084】次に、次の第2のタイムスロットT2においては、オフセット値が「2」であるため、2チャンネル分先のアドレス整数部がアドレスRAM38から読み出され、ラッチ回路45にラッチされる。そして、第3

10

20

30

40

50

のタイムスロットT3においては、オフセット値が「0」であるため、自身のチャンネルのアドレス小数部がアドレスRAM38から読み出されて、ラッチ回路46にラッチされる。このタイムスロットT2、T3の間に、タイムスロットT1においてラッチ回路39にラッチされた、4チャンネル分先のアドレスデータのアドレス整数部が全加算器31へ供給され、アドレス小数部が全加算器32へ供給される。そして、Fナンバ発生部30からピッチデータに従って読み出されたFナンバと加算されて、更新されたアドレスデータ（整数部、小数部）は、アドレス制御部34にて、制御データに応じた制御を施された後に、アドレスRAM38の入力端D1へ供給される。

【0085】そして、第4のタイムスロットT4において、上記更新されたアドレスデータがアドレスRAM38の4チャンネル分先のチャンネルに相当するアドレスに格納される。すなわち、この場合には、各チャンネルのアドレスデータの更新は、4チャンネル分未来のチャンネル処理におけるタイムスロットT1、T4で行なわれ、各チャンネルのアドレス整数部は、2チャンネル分未来のチャンネル処理におけるタイムスロットT2で出力されるとともに、アドレス小数部は該当チャンネルの第3のタイムスロットT3で出力される。

【0086】この場合、セレクト43から供給されるアドレス補正值は、各時分割チャンネルで読出す波形が圧縮波形であるかどうか（信号COMPが「1」かどうか）で変わってくる。圧縮波形の場合、セレクト43は、必ず、戻り量発生部42の出力する戻り量を選択する。一方、非圧縮波形では、2点補間も選択できるため、セレクト43において「-2」が選択される可能性もあるが、通常は、補間の精度の良い4点補間を使うので、セレクト43では、一定値「-3」を選択出力する。

【0087】ビット拡大部44においてビットが伸張された後、加算器47へ供給される。アドレス整数部には、上記加算器47において上記アドレス補正值が加算される。補正されたアドレス整数部は、シフトダウン部48に供給されるとともに、その最下位ビットは信号ODDとして、補間部19へ供給される。上記アドレス整数部は、圧縮波形データを読み出す場合には、圧縮信号COMPが「1」となるので、1ビット分、シフトダウンされた後、加算器50へ供給される。

【0088】上記2チャンネル前のアドレス整数部は、加算器50によって、スタートアドレスと補間カウンタからの補間カウンタ値とが加算され、ゲート回路51へ供給される。この場合、音源は1チップであるため、補間カウンタ49からは、各時分割チャンネルの4つのタイムスロットT1～T4にわたり、順次「0」、「1」、「2」、「3」となるカウンタ値が出力される。また、ゲート回路51は全タイムスロットにわたつ

て開状態となり、スタートアドレス+アドレス整数部+補間カウンタ値なる4点分のアドレスデータはゲート回路51を介して波形メモリ6へ供給される。

【0089】前述したように、セレクト43から供給されるアドレス補正值が、各時分割チャンネルで読出す波形の圧縮状態に応じて異なっているため、ここで出力される4点分のアドレスデータも、それに応じて異なったデータが出力されている。まず、圧縮波形を再生中の時分割チャンネルで出力される4点分のアドレスであるが、先に説明したとおり、このアドレスは、既にデコードされた複数のサンプルのうちの最終サンプルの次の圧縮サンプル、すなわち次にデコードすべきサンプルを含むアドレスを先頭とする連続4アドレスになっている。つまり、各時分割チャンネルの最初のスロットで読まれた1データの中に、該次にデコードすべきサンプルが含まれており、さらに残り3スロットにわたり、それに引き続く3アドレス分のデータが読みだされる。一方、非圧縮波形を再生する時分割チャンネルの場合であるが、この時出力される4アドレスは、そのまま、4点補間のための4サンプルのアドレスになっている。既に説明したように、この4アドレスは、ラッチ回路45にラッチされたアドレスを最後の4点目のアドレスとする連続4アドレスになっている。

【0090】波形メモリ6からは上記アドレスデータに従って波形データ（4点分）が読み出され、外付け回路7へ供給される。外付け回路7においては、信号C2が「0」であるので、遅延回路56の出力、すなわち2タイムスロット分遅延した波形データ（4点分）がセレクト57から出力される（図11の「復調回路入力」を参照）。次に、圧縮波形を再生中の時分割チャンネルにおけるセレクト58の動作を説明する。セレクト58からは、信号ODDが「0」のときには、該時分割チャンネルの4タイムスロットで、順次、入力端A、D、C、Eの順で波形データが出力される。この結果、図7（a）に示すように、順次、第1の波形データ（I）、第2の波形データ（II）、次に、第3の波形データ（III）、そして、第4の波形データ（IV）が出力される。これに対して、信号ODDが「1」のときには、セレクト58からは、同4タイムスロットで、入力端B、A、D、Cの順で波形データが出力される。セレクト58から出力された波形データ（各8ビット）は、順次、ノンリニア拡張部63へ供給され、16ビットデータに変換された後、図8に示す復調回路64へ供給される。

【0091】一方、セレクト57から非圧縮波形が出力される時分割チャンネルにおいては、セレクト58が入力端Aを選択出力すると共に、ゲート62が開かれ、セレクト57の出力する下位8ビットと、ゲート62の出力する上位8ビットが合成され、セレクト57の出力した16ビットのデータがそのままノンリニア拡張部63に供給される。ノンリニア拡張部63は、この16ビッ

トの非圧縮波形に対しては、何も処理も施せずそのまま復調回路64に出力する。

【0092】2次LPCの圧縮波形を再生する時分割チャンネルにおける復調回路64の動作を説明する。復調回路64では、1つ過去のチャンネルの再生処理において、バッファRAM70から既に再生済の波形データのうちの最後の4点分が読み出されて、新しい順に、順次ラッチ71、72、73、74に保持されている。そして、セレクト75〜78における現チャンネルの第1のタイムスロットにおいて、下段のセレクト75〜78が第1の入力端（上段の入力端）、すなわち上記ラッチ71〜74によって保持された波形データを順次後段の遅延回路83〜86へ出力する（図11の「セレクトa」の「上」を参照）。各セレクト75〜78から出力されたデータは、遅延回路83〜86によって1タイムスロット分遅延された後、再び、前段のセレクトの第3の入力端へ供給される。特に、セレクト75、76の出力は、乗算器87、88において、係数A0、A1が乗算された後、加算器89で加算され、ゲート90（圧縮波形の場合、オープン）、加算器91を介して、遅延回路92により遅延された後、セレクト75の第2の入力端へ供給される。

【0093】前述したように、セレクト75で選択出力されているデータは、1つ前に復調再生された波形データであり、セレクト76の出力データは2つ前に復調された波形データであるので、それらに係数A0、A1を乗じて、加算器91で入力してくる圧縮波形データに加算することにより、2次のLPC圧縮されたデータが復調され、加算器91から復調された波形データが順次出力される。なお、入力する波形がDPCM圧縮の圧縮波形の場合は、その時分割チャンネルの該係数A0、A1として、それぞれ、「1」、「0」の値を供給してやればよい。

【0094】そして、次のタイムスロットにおいて、各セレクト75〜78は、アドレス発生部18から供給されるインクリメント信号INC1の状態に応じて、第2もしくは第3の入力端に供給されるデータを後段の回路へ出力する（図11の「セレクトaのx1」を参照）。インクリメント信号INC1が「1」のときには、第2の入力端に供給されるデータが選択的に後段の回路へ出力され、インクリメント信号INC1が「0」のときには、第3の入力端に供給されるデータが選択的に後段の回路へ出力される。すなわち、インクリメント信号INCが「1」のときには、データを更新する必要がある場合であり、各セレクトの前段のディレイから供給されたデータを後段のディレイに出力することになる。一方、インクリメント信号INC1が「0」のときには、データを更新する必要がない場合であり、セレクトの後段のディレイから出力されたデータを再びそのディレイに戻し、前のタイムスロットにおいて各ディレイの出力して

いたデータを再び出力することになる。以下、インクリメント信号INC1からインクリメント信号INC3まで、各インクリメント信号の状態に応じて上記処理が行なわれる（図11の「セレクトa」および「インクリメント信号INC」を参照）。

【0095】すなわち、復調回路64の加算器91に対し、ノンリニア拡張部からは4サンプル分の8ビット圧縮波形データが順次供給され、一方、音源8のINC発生部41からはデコードすべき圧縮波形データの数のパルスがINC信号として供給されているので、該信号INC1〜INC3の中の「1」の信号数だけ順送りが行われ、加算器91から出力される復調サンプルがディレイ92を通過した後にディレイ群83〜86に順次取り込まれる。なお、下段のセレクト75〜78における当該時分割チャンネルの処理は、この信号INC3のタイムスロットで終了し、次のタイムスロットからは次の時分割チャンネル処理に移行する。一方、上段のセレクト93〜96においては、当該時分割チャンネルの処理を、次の信号INC4のタイムスロットから連続4タイムスロット分の期間行う。

【0096】そして、インクリメント信号INC4が供給されると、上段のセレクト93〜96は、該インクリメント信号INC4に応じて、当該タイムスロットにおいて第2もしくは第3の入力端へ下段の遅延回路83〜86から供給されたデータを選択的に後段の遅延回路97〜100へ出力する（図11の「セレクトb」および「インクリメント信号INC」を参照）。すなわち、インクリメント信号INC4が「1」のときには、データを更新する場合であって、第2の入力端へ供給されるデータ、すなわち下段のディレイ92、83、84、85の出力する波形データがそれぞれ選択的に後段の遅延回路97〜100へ出力される。一方、インクリメント信号INC4が「0」のときには、データを更新する必要がない場合であり、第3の入力端へ供給されるデータ、すなわち下段のディレイ83〜86の出力する波形データがそれぞれ選択的に後段の遅延回路97〜100へ出力される。

【0097】信号INC4のタイムスロットでディレイ97〜100に取り込まれる4サンプル分の波形データのうち、4スロットのINC信号のうちの「1」であったスロット数と同じ数のサンプルが、今回の時分割チャンネルの処理で新たに復調されたデータであり、残りはそれ以前の同時分割チャンネルの処理で既に復調されていたデータである。この4サンプル分の再生波形データが、続く連続4スロットの期間にわたって、復調回路64から出力されると同時に、当該チャンネルの過去に再生された4サンプル分のデータとして波形サンプルバッファRAM70の当該チャンネルに対応した位置に順次書き込まれる。

【0098】したがって、信号INC4の次のタイムス

29

ロット以降、上段のセクタ93～96は常時第1の入力端（上段の入力端）へ供給されるデータを選択し、後段の遅延回路97～100へ順次出力する（図11の「セクタb」を参照）。すなわち、セクタ93は「0」を出力し、セクタ94～96は、前段の遅延回路からのデータを後段の遅延回路へ出力する。したがって、最終段の遅延回路100からは、順次、復調された4点分の波形データが古い順に出力され、バッファRAM70へ順次書き込まれるとともに、復調回路64の出力波形データとして出力される（図11の「バッファRAM」を参照）。

【0099】次に、非圧縮波形を再生する時分割チャンネルにおける復調部64の動作について説明する。4点補間を行うということであったので、当該時分割チャンネルにおいて、復調部64には、ノンリニア拡張部より、補間に必要な4点分のH圧縮波形データが順次供給される。この場合、1音源構成（信号C2が「0」）で、当該チャンネルについて4点補間（信号P2が「0」）かつ非圧縮波形（信号COMPが「0」）であるので、INC信号発生部は全4パルスが発生する。復調回路64の動作は、前述した圧縮波形のチャンネルの場合と同様であるが、この場合、信号COMPが「0」であるのでゲート90は閉じた状態となり、加算器91からはその片方の入力に順次供給される4点分の非圧縮データがそのまま出力される。加算器91を通過した非圧縮波形データは、まず、先の3点分が全て「1」である信号INC1～3に応じてディレイ83～85に順送り取り込まれ、続く「1」の値の信号INC4によって、最後に入力される4点目の波形データと共に上段ディレイ97～100に取り込まれる。取り込まれた4点分の非圧縮波形データは、圧縮波形データの場合と同じ4スロット分のタイミングで、順次ディレイ100から出力され、バッファRAM70に書き込まれると同時に、復調回路64の出力波形データとして出力される。

【0100】上記復調回路64によって復調された4点分の波形データは、図1に示す音源8の補間部19へ供給される。この場合、4点補間であるので2点補間信号P2が「0」となっている。したがって、補間部19のセクタ105は、第1の入力端（上段の入力端）に供給される係数メモリ103からの補間係数を出力する（図12の「4点補間時（P2=0）」を参照）。そして、各波形データは、乗算器107において、上記対応する補間係数が乗算された後、補間累算器108で累算され、各時分割チャンネルの補間された波形データとして図1に示すエンベロープ乗算部21へ供給される。

【0101】一方、エンベロープ発生部20では、エンベロープ制御レジスタ17から供給されるエンベロープ制御信号に応じて、32チャンネル分のエンベロープが順次生成され、該エンベロープは上記エンベロープ発生乗算部21へ供給される。そして、エンベロープ乗算部

30

21において、各時分割チャンネル毎に、上記補間された波形データに、上記エンベロープが付与され、チャンネル累算部22において、32チャンネル分の波形データがミキシングされて、1サンプリング周期毎のミキシング波形データを生成し、DAC23によりアナログ信号に変換された後、サウンドシステム10において楽音として発音される。

【0102】なお、上述したケースCの構成では、16ビットデータ（非圧縮）の場合には、発音される楽音のピッチに制限はなく、8ビットデータ（圧縮）の場合には、200KHzまで（すなわち、Fナンバが「4」以下）のピッチ制限が生じる。なぜならば、本実施例では、各時分割チャンネル毎に、最大4点の圧縮波形データまでしかデコードできず、かつ、圧縮波形データをデコードする時には、飛ばし読みは許されないからである。

【0103】（8-4）ケースD

次に、図2（d）に示すように、2つの音源8a、8bに対して、その各々に1つの外付け回路7a、7bを装着した場合について説明する。この場合には、マスター側の音源8aに対しては、外付け指示信号OP=2、チップ信号C2=1、およびマスター信号MC=1となる一方、スレーブ側の音源8bに対しては、外付け指示信号OP=2、チップ信号C2=1、およびマスター信号MC=0となる。この場合、音源8a、8bでは、4点補間で、32チャンネル分の発音が行なわれ、全体として計64チャンネル分の発音が行なわれる。

【0104】まず、マスター側の音源8aにおけるアドレス発生部18aでは、オフセット発生部36aに供給される外付け指示信号OPが「2」となるため、タイムスロットT1～T4において出力されるオフセット値は、順次、「+4」、「+2」、「0」、「+4」となる。したがって、タイムスロットT1においては、4チャンネル分先のチャンネルのアドレスデータがアドレスRAM38aから読み出され、ラッチ回路32aによってラッチされる。

【0105】次に、タイムスロットT2においては、オフセット値が「2」であるため、2チャンネル分先のアドレス整数部がアドレスRAM38aから読み出され、ラッチ回路39aによってラッチされる。そして、タイムスロットT3においては、オフセット値が「0」であるため、自身のチャンネルのアドレス小数部がアドレスRAM38aから読み出されて、ラッチ回路46によってラッチされる。このタイムスロットT2、T3の間に、タイムスロットT1において、ラッチ回路39にラッチされた、4チャンネル分先のアドレスデータは、そのアドレス整数部が全加算器31aへ供給され、アドレス小数部が全加算器32aへ供給される。そして、Fナンバ発生部30aが出力するFナンバと加算されて更新され、更新されたアドレスデータ（整数部、小数部）は、

10

20

30

40

50

アドレス制御部34aにおいて、アドレス制御データに応じた処理を施された後、アドレスRAM38aの入力端D1へ供給される。

【0106】そして、タイムスロットT4において、上記更新されたアドレスデータがアドレスRAM38aの4チャンネル分先のチャンネルに相当するアドレスに格納される。すなわち、この場合には、各チャンネルのアドレスデータの更新は、4チャンネル分未来のチャンネル処理におけるタイムスロットT1、T4で行なわれ、各チャンネルのアドレス整数部は、1チャンネル分未来のチャンネル処理におけるタイムスロットT2で出力されるとともに、そのアドレス小数部は、該当チャンネルのタイムスロットT3で出力される。

【0107】この構成の場合、外付け回路7a、7bのデコード機能により圧縮波形も再生可能であり、さらに、非圧縮波形の再生において、外付け回路7a、7bから過去サンプルを供給して4点補間を行うことが可能である（ちなみに、圧縮波形では必ず4点補間を行い、2点補間は選択されない）。ただし、該過去サンプルの供給において、Fナンバが「2」を越える場合は新規サンプルの供給が追いつかなくなるため、非圧縮波形の補間を2点補間に設定する。また、圧縮波形のデコードについては、やはり新規サンプルの供給スピードの理由によりFナンバが「3」以下に制限される。このそれぞれの場合について、ラッチ回路45以降の働きが異なるので、それぞれの場合について説明する。

【0108】まず、圧縮波形再生の場合であるが、この時のセレクト43aおよびシフトダウン部48aの働きは、1音源構成の場合と全く同じであり、セレクト43aは補正值として戻り量発生部42aの出力する戻り量を選択出力し、シフトダウン部48aでは、1ビットのシフトダウンが行われる。半加算器33aの算出したアドレス進み量 ΔI は、上述した理由により値が「3」以下に制限されており、その値 ΔI に応じて、戻り量発生部42aは、戻り量を発生するし、INC発生部41aは同数のパルスを発生する。加算器50aには、シフトダウン部より1音源構成の場合と同じ値のアドレスが供給されるが、今度の場合は信号C2が「1」であるため、補間カウンタ49aからは1時分割チャンネルの4スロットにわたり、「0」、「1」、「0」、「1」を供給する。マスター側ではその内の前半の2スロットで波形メモリをアクセスし、先程と同様、既にデコードされたサンプルの次の、次にデコードすべき圧縮サンプルを含む16ビットデータのアドレスと、該アドレスの次のアドレスが、前半の2スロットにて順次ゲート回路51aから出力され、波形メモリ6に供給される。

【0109】次に、非圧縮波形4点補間の場合であるが、通常の4点補間の場合と異なり、セレクト43aは戻り量発生部42aの発生する戻り量を選択出力する。直前の圧縮波形の再生の場合と同様、半加算器33aの

算出するアドレス進み量 ΔI は、値が「2」以下に制限されており、その進み量 ΔI に応じて、戻り量およびINC信号が生成される。加算器47aにて、ラッチ回路45aにラッチされたアドレスに戻り量が加算され、加算器47aの計算結果であるところの次に読み出すべき非圧縮波形のアドレス（スタートアドレスからの相対アドレス）が出力され、該アドレスは、信号COMPが「0」であるので、シフトダウン部48aを何ら処理を受けることなく通過し、加算器50aに入力する。補助カウンタ49aからは、先と同様、1時分割チャンネルの4スロットにわたり、「0」、「1」、「0」、「1」が順次出力されており、ゲート回路51aでは、加算器50aにおける加算結果のうちの前2スロットを出力する。

【0110】この外付け回路7aによるサンプル供給を受けた4点補間の場合、外付け回路7aのバッファRAM70aの中に過去の当該時分割チャンネルで読み出した4点分の非圧縮波形データがそのまま収納されており、各時分割チャンネルで新たに読み出した波形データとバッファRAM70aの過去に読み出した4点分の波形データから、補間に必要な4点分の波形データを得るようになっている。ここで、加算器47の出力は、バッファRAM70aに記憶された4点分の波形データに続く、次の波形データの相対アドレスである。マスター側の音源では、前半の2スロットを用いてバッファRAM70aに記憶された波形データに続く、次の波形データとともにその次の波形データを波形メモリ6から読み出すようになっている。同時に、INC発生器41aからは、アドレス進み量 ΔI に応じてインクリメント信号INC1～INC4を順次発生する。該信号INC1～INC4は、その読み出された波形データのうちのいくつかを外付け回路7に取り込むかを示すパルス信号である。前述したようにアドレスの進み量 ΔI は、「2」以下であるので、信号INC3、INC4は必ず「0」になる。

【0111】最後に、非圧縮波形を2点補間する場合であるが、先に説明した2音源構成の場合と全く同じである。つまり、セレクト43aは一定値「-2」を選択出力し、シフトダウン部48aは入力するアドレスをそのまま出力し、補間カウンタ49aは「0」、「1」、「0」、「1」を出力し、ゲートはマスター側において前半の2スロットのみ開く。したがって、動作の詳細についての説明は省略する。ただし、INC発生部は、通常と異なり、マスター側にて「1」、「1」、「1」、「1」を、スレーブ側にて「0」、「0」、「1」、「1」を、それぞれ時分割チャンネルの4スロットの期間に出力している。このインクリメント信号は、外付け回路7a、7bから補間部19a、19bに対し、波形データを出力する出力タイミングを、マスター側、スレーブ側それぞれに適したタイミングで調整している。

【0112】一方、スレーブ側の音源8bにおいても、

33

マスター側の音源8aと同様の動作により、2点分のアドレスデータが生成され、波形メモリ6へ順次供給される。ただし、スレーブ側の音源8bでは、最終段のゲート回路51bが後半の2タイムスロットだけ開状態となるため、後半の2点分のアドレスデータが出力されることになる。

【0113】波形メモリ6からは上記アドレスデータ（マスター用の2点、スレーブ用の2点）に従って波形データが順次読み出され、前半の2点分の波形データがマスター側の音源8aに対する外付け回路7aへ供給され、後半の2点分の波形データがスレーブ側の音源8bに対する外付け回路7bへ供給される。

【0114】マスター側の外付け回路7aにおいては、セクタ57aで遅延回路56aの出力を選択する。一方、スレーブ側ではセクタ57bは遅延回路55bの出力側を選択する。この様子が、図11の2チップ時（マスター／スレーブ）に示されている。波形メモリの各時分割チャンネルの4つのタイムスロットで取り込まれたデータをそれぞれ1、11、111、1Vとすると、マスター側ではその前半の2スロット分のデータ1、11、スレーブ側では後半の2スロット分のデータ111、1Vをそれぞれ取り込むわけである。図11によると、セクタ57aの出力するデータ1、11のタイミングと、セクタ57bの出力するデータ111、1Vのタイミングが丁度同じタイミング（1時分割チャンネルの4スロットのうちの前半2スロット）になるよう制御されているわけである。つまり、このセクタ57a、57b以降の復調回路64a、64bのところまではマスター／スレーブとも同一のタイミングで動作している。

【0115】セクタ57a、57bから出力されたデータは、それぞれ、その後につながるセクタ58a、58bへ復調回路64a、64bにおいて所定の処理を施されつつ通過するわけである。圧縮波形についてのこの部分での処理は、既に、外付け回路7付き1音源構成のところでも述べたものと全く同じであり、説明を省略する。

【0116】次に、非圧縮波形を再生する時分割チャンネルの場合の説明を行う。セクタ57a、57bを通過した非圧縮波形の波形データは、外付け回路7付き1音源構成のところでも前述した非圧縮波形の場合と同様、何ら処理を施されずに復調回路64a、64bに入力する。4点補間と2点補間の場合がありえるが、ここまではどちらも同じである。

【0117】先に復調回路64a、64bにおける非圧縮波形の4点補間用過去サンプル供給の処理について説明する。この場合、バッファRAM70a、70bには当該時分割チャンネルで過去に読み出され補間に使用された4点分の波形データが記憶されている。今回の時分割チャンネルで波形メモリ6から読み出されたデータが

34

加算器91a、91bに入力する前のタイミング（図11のバッファRAMのDOのタイミング）において、該4点分の波形データがバッファRAM70a、70bから読み出され順次ラッチ71a、71bへ74a、74bにラッチされる。ラッチされた各データは、次の図11のセクタa「上」のタイミングでセクタ75a、75bへ78a、78bにより選択され、ディレイ83a、83bへ86a、86bに供給される。

【0118】図11に示されるように、そのタイミングから、順次新たな読み出しデータが加算器91a、91bに入力するが、この時、信号COMPが「0」であるので、ゲート90a、90bは閉じており、入力した非圧縮波形データはそのままディレイ90a、90bにそれぞれ供給される。先に述べたとおり、インクリメント信号INCとして、新たに取り込むべき波形データの数だけパルスが供給されているので、セクタaのX1とX2のタイミングにおいて、該信号INC1～INC2に応じたシフトを行い（信号INC3～INC4は必ず「0」）、信号INC4のタイミングでセクタ93a、93bへ96a、96bの第3の入力端からディレイ97a、97bへ100a、100bに供給され、その後、該上段のディレイ97a、97bへ100a、100bで順送りすることにより、ディレイ100a、100bの出力がバッファRAM70a、70bに再び供給され書込まれるとともに、復調部64a、64bの出力として補間部19a、19bにそれぞれ供給される。この出力されるデータは、結局、もともとバッファRAM70a、70bに入っていた過去に4点補間に使用した4点分の波形データを、信号INC1～INC2に応じて新たに波形メモリ6から読み出した波形データで更新した4点分の波形データが、今回の補間に使用する4点分の波形データということになり、復調部64a、64bから出力されるとともに、次の処理のためバッファRAM70a、70bに書込まれる。

【0119】次に、圧縮波形を再生している場合であるが、先に説明した通り、セクタ57a、57bの働きによりスレーブ側の入力波形のタイミングがマスター側の1音源構成の場合と同じタイミングに揃えられ、セクタ58a、58bで1音源構成の場合と同じに8ビットデータに分離しているので、復調回路64a、64bに入る圧縮波形の態様は、先に説明した外付け回路7付き1音源構成の場合と全く同じになる。したがって、ノンリニア拡張部63a、63bで拡張された圧縮波形は、復調回路64a、64bにおいて、その場合と同様に復調、出力される。

【0120】最後に、非圧縮波形を2点補間する場合について説明する。上記の場合と同様、セクタ57a、57bにてマスター側とスレーブ側のデータが同一タイミングになるように制御され、そのまま、セクタ58a、58bおよびゲート62a、62bとノンリニア拡

張部63a、63bを通過して復調回路64に入力する。復調回路64a、64bの出力が入力する補間部19a、19bでは、2音源構成で外付けがある場合と無い場合とで、処理のタイミングが一緒であるので、復調回路64a、64bでは、その同一タイミング化されたデータを、マスター側、スレーブ側で異なるタイミングにもう一度直して出力する必要がある。この場合、復調回路64a、64bには、1チャンネル4タイムスロット分のインクリメント信号INCとして、マスター側に「1」、「1」、「1」、「1」が、スレーブ側に「0」、「0」、「1」、「1」が供給されている。復調回路64a、64bの各構成要素の働き自体はこれまでの説明と同じであるが、このインクリメント信号INCにより、該異なるタイミングに直す処理が行われる。すなわち、各時分割チャンネルの4タイムスロットの前半2スロットに入っている2点分の非圧縮波形データは、マスター側復調回路64aの出口では各時分割チャンネルの前半2スロット、スレーブ側復調回路64bの出口では後半2スロットの、それぞれ異なるタイミングに入っている。

【0121】先に説明した通り、図4には、外付け回路7有りの場合の2チャンネル時間分先にiチャンネルのアドレス発生している様子が示されている。一方、図11には、メモリアドレスとして、その2チャンネル時間分先出しされたアドレスが示されており、波形メモリ6から読み出されたデータは、このタイミングで外付け回路7に取り込まれる。取り込まれたデータは、図11の出力として描かれているタイミングで外付け回路7より出力される。すなわち、この図11には、外付け回路7に波形メモリの読み出しデータが入力されてから補間部19に波形データが出力される間での2チャンネル分の時間遅れが生じる様子が示されている。図4の2チャンネル分先出しされたアドレスに対応した波形データは、外付け回路7からそのチャンネル分後、つまり図4における外付け回路のない場合の読み出しタイミングと同じタイミングにて出力される。

【0122】補間部19a、19bの各時分割チャンネルの4スロットの各入力タイミングにおける波形データは、上述してきた補間の各場合ごと、外付け回路が装着されていないときと、装着されているときとで変らない。したがって、補間部19a、19bは、外付け回路が装着されているか装着されていないかを気にすることなく、指定された補間方法で補間を実行し、各時分割チャンネル毎に1つの補間された波形データを出力する。

【0123】一方、エンベロープ発生部20aでは、エンベロープ制御レジスタ17aから供給されるエンベロープ制御信号に応じて、32チャンネル分のエンベロープが順次生成され、該エンベロープは上記エンベロープ発生乗算部21aへ供給される。そして、エンベロープ乗算部21aにおいて、各時分割チャンネル毎に、上記

補間された波形データに、上記エンベロープが付与され、チャンネル累算部22aにおいて、32チャンネル分の波形データがミキシングされて、DAC23aによりアナログ信号に変換された後、サウンドシステム10において楽音として発音される。

【0124】なお、上述したケースDの構成では、16ビットデータ（非圧縮）の場合には、100KHzまでのピッチ制限が生じ、8ビットデータ（圧縮）の場合には、150KHzまでのピッチ制限が生じる。また、この構成では2点補間も可能であり、この場合、16ビットデータ（非圧縮）ではピッチ制限がなくなる。また、音源を2チップとした場合には、いずれか一方にのみ、外付け回路を装着するようにしてもよい。

【0125】

【発明の効果】以上、説明したように、請求項1記載の発明によれば、波形データを記憶しており、所定のタイムスロット毎にアクセスされる波形メモリと、複数時分割チャンネル動作をする第1の楽音生成手段であって、

(1) 前記時分割チャンネル毎に指定された音高に応じた速さで変化する、複数時分割チャンネル分のアドレスを生成するアドレス生成手段と、(2) 前記複数時分割チャンネル分のアドレスに基づいて前記波形メモリを時分割アクセスし、各時分割チャンネル毎にn個の波形データを読み出す読み出し手段と、(3) 各時分割チャンネル毎に、読み出された前記n個の波形データに基づいて1つの楽音を生成することにより、複数時分割チャンネル分の複数楽音を生成する生成手段とからなる第1の楽音生成手段とを備える楽音発生装置において、さらに、前記楽音発生装置の構成に追加可能であって、前記第1の楽音生成手段とともに、前記波形メモリを共用する第2の楽音生成手段と、前記第2の楽音生成手段が追加される際には、前記読み出し手段が各時分割チャンネルにて読み出す波形データの数を前記n個より少ないm個に変更する読み出し数変更手段と、前記第2の楽音生成手段が追加される際には、前記生成手段が各時分割チャンネルの楽音を生成するときに使用する波形データの数を前記n個から前記m個に変更する使用データ数変更手段とを備えており、前記第2の楽音生成手段は、波形メモリの、前記読み出し数変更手段の動作により減らされた読み出し数に対応するタイムスロットを使用して前記波形メモリをアクセスするようにしたため、波形メモリの共有化によって、波形メモリを追加することなく音源をユーザが追加可能にするとともに、音源を追加した場合に補間点数を落とすようにして、波形メモリへのアクセス回数を減らすことにより、波形データの読み出しに係る速度を抑えることができるという利点が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成を示すブロック図である。

【図2】 (a)は、1つの波形メモリに対して1つの音源を用いた場合の構成を示すブロック図、(b)は、1つの波形メモリを2つの音源が共有する構成を示すブロック図、(c)は、1つの波形メモリに対して1つの音源を用いて、かつ、外付け回路を介挿した場合の構成を示すブロック図、(d)は、1つの波形メモリを2つの音源で共有するとともに、各音源との間に外付け回路を介挿した場合の構成を示すブロック図である。

【図3】 本実施例におけるアドレス発生部18の一構成を示すブロック図である。

【図4】 同実施例におけるアドレス発生のタイミングを説明するためのタイムチャートである。

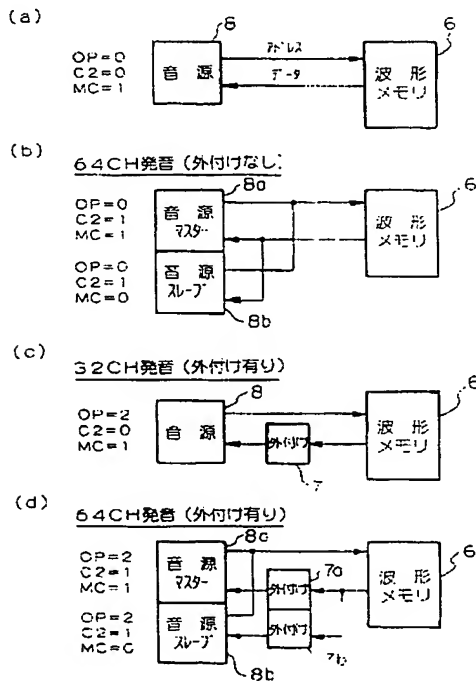
【図5】 同実施例における外付け回路7の一構成例を示すブロック図である。

【図6】 同実施例における波形メモリのアドレッシングを説明するための概念図である。

【図7】 (a)～(c)は同実施例における16ビットの波形メモリ6から8ビットに圧縮された波形データの読み出し方を説明するための図である。

【図8】 同実施例における復調回路64の一構成例を*20

【図2】



* 示すブロック図である。

【図9】 同実施例における補間部19の一構成例を示すブロック図である。

【図10】 (a)は4点補間における補間係数を説明するための図であり、(b)は2点補間における補間係数を説明するための図である。

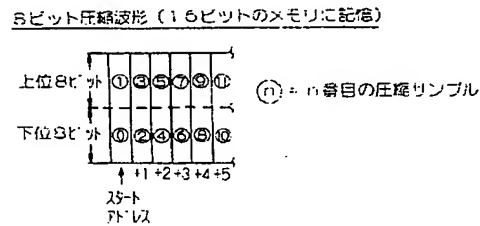
【図11】 同実施例における楽音発生装置の動作を説明するためのタイミングチャートである。

【図12】 同実施例における補間部19の動作を説明するためのタイミングチャートである。

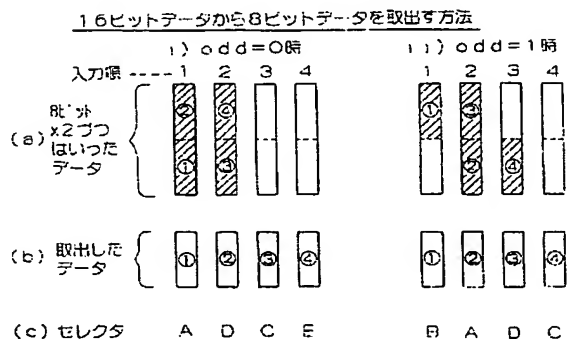
【符号の説明】

1……鍵盤、2……音色スイッチ、3……マイコン（制御部）、4……外付け指示部、5……2チップ指示部（読み出し数変更手段）、6……波形メモリ、7、7a、7b……外付け回路、8、8a……音源（楽音生成手段、第1の楽音生成手段）、8b……音源（楽音生成手段、第2の楽音生成手段）、18……アドレス発生部、19……補間部、70……再生サンプルバッファRAM。

【図6】

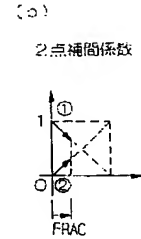
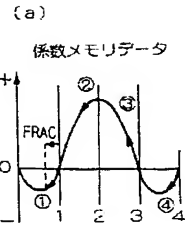
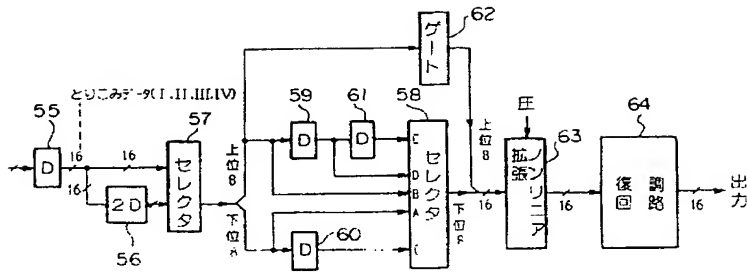


【図7】

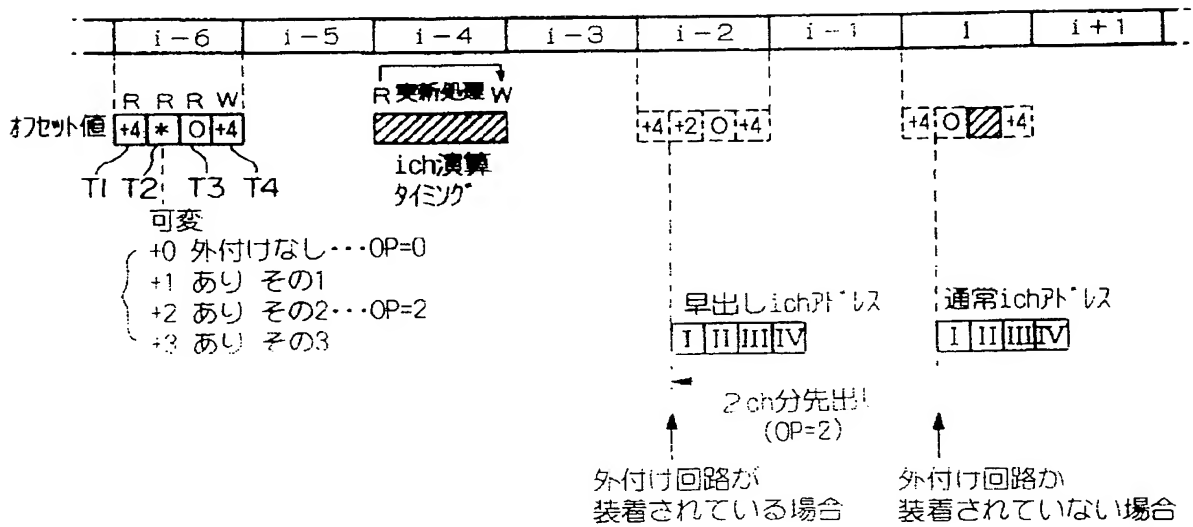


【図5】

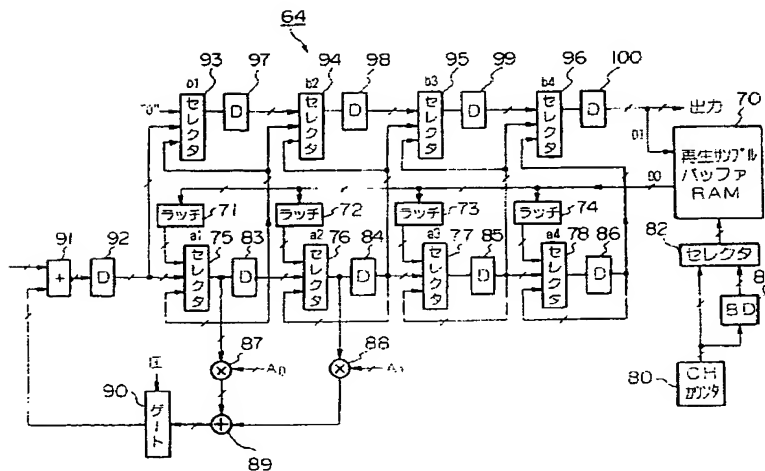
【図10】



【図4】

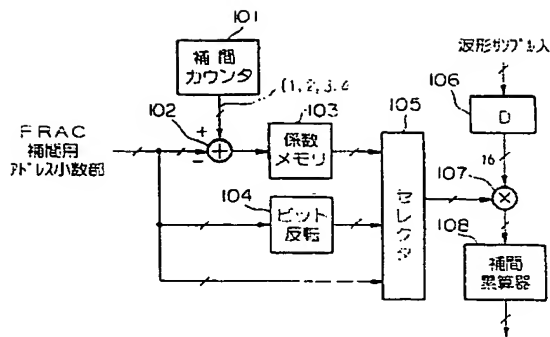


【図8】

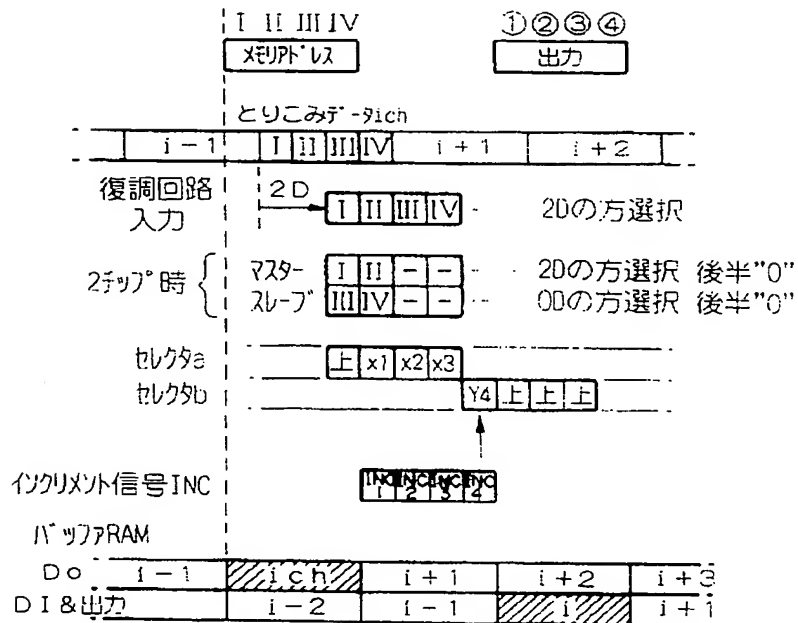


[illegible]

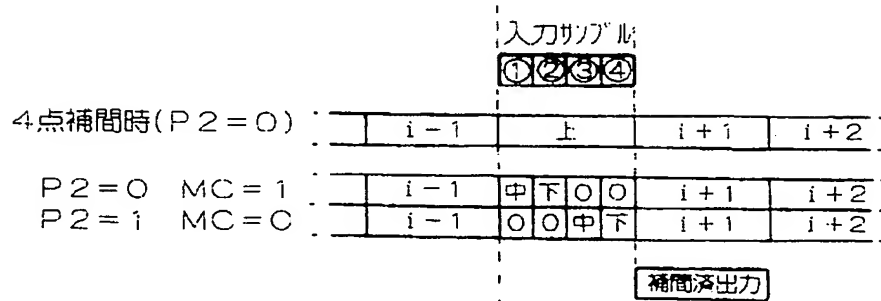
〔図9〕



〔図11〕



〔図12〕



THIS PAGE BLANK (USPTO)